

MICRO



SYSTEMS

MICROPROCESSEURS/MICRO-ORDINATEURS/INFORMATIQUE APPLIQUÉE
N° 1 Bimestriel – Septembre/Octobre 1978

10 F



LINES OR POINTS (L/P)? P

WHICH PLOT (1-8)? ■

Le kit d'initiation du 6800 MOTOROLA

Ce dernier vous permet d'apprendre la technique du microprocesseur, d'élaborer un programme, de le modifier, de le tester ou de mettre en œuvre les dizaines d'applications qui sont prévues sur ce microprocesseur aux Etats-Unis.

Ce kit MKII comprend deux cartes reliées par un câble méplat et :

- 1 microprocesseur MKII
- 254 octets de RAM
- 3 interfaces de sortie parallèle 214
- 1 interface de sortie série ACIA
- 1 horloge externe
- 1 K de ROM (L Bug)
- 4 supports câbles pour adjonction de 312 octets de RAM
- 6 afficheurs
- 1 clavier hexadecimal
- 8 touches de fonction
- 1 INTERFACE GABRIELLE (utilise n'importe quelle cassette sans modification)
- 10 touches logiques (TEL - C. MDS)

- LE MONITEUR J. BUG VOUS PERMET, PAR LES 8 TOUCHES DE FONCTION :
- P Le transfert du contenu des RAM vers la cassette (adresse de début et fin également mises en cassette)
 - L Le transfert du contenu de la cassette dans RAM (à l'adresse choisie sur le bande)
 - N De faire exécuter le programme PAS-A-PAS
 - V D'arrêter le déroulement d'un programme à une adresse déterminée
 - M La lecture et l'écriture du contenu d'un octet de mémoire
 - E D'arrêter une de nos 7 fonctions pour en exécuter une autre
 - S La lecture de tous les registres internes
 - G soit programme



LE KIT MKII :
1 674 F (H.T.)
soit 1 968 F TTC

CLUB 6800

Ce club est accessible gratuitement la première année à tous les acheteurs de MKII. Il consiste à faire parvenir des programmes conçus par PENTASONIC ou d'autres membres du club et à les diffuser.

00899

Un nouveau système d'initiation du 6800 "Made in France"

Ce système développé à partir du SF5 6800 de SE500, seconde source du 6800 MOTOROLA, est présenté sous la forme d'une carte unique regroupant toutes les fonctionnalités du MKII avec en plus :

- Touches professionnelles
- Choix fréquence horloge par strip
- Accès direct à la mémoire
- Possibilité de monter à K de PROM
- Générateur sur la carte (Baud rates)

PRIX 2125 F TTC



Produit et assemblé en France

00896

Le 6502 fait son apparition en France, avec VIM 1

RAM 1 K avec extension à 4 K sur la carte
CLAVIER 36 touches (moins)
CASSETTE Interface avec 2 vitesses (ex-
trêmes 125 bauds et 1200 bauds)
Alimentation 5 Volts 2 Amps
TIMERS PROGRAMMABLES
ROM/PROM 32 K SUR LE KIT
Interface universelle 80 lignes avec
extension jusqu'à 70
MONITEUR 4 K BYTES

PRIX 2350 F TTC

EN OPTION
PROM BASIC



PERMET DE GERER DIRECTEMENT UNE
TELETYPE OU UN INTERFACE VIDEO.

2059

Sommaire

	Pages
Editorial	9
Initiation :	
Initiation aux microprocesseurs	11
Le Basic	31
Six leçons pour programmer	51
L'Unité Arithmétique et Logique	79
Etude :	
Générateur de fonctions à microprocesseur	21
Les convertisseurs Digital/Analogique	28
Réalisations :	
Alarme antivol temporisée à microprocesseur	57
Système de vérification des mémoires mortes	95
Programme :	
Les signes du zodiaque	36
Composants :	
La famille de micro-ordinateurs intégrés MCS 48 : 8048 - 8049 - 8748 - 8035 - 8039	41
Instructions du 8048	48
Systèmes :	
Le micro-ordinateur APPLE-II	69
Le micro-ordinateur NASCOM I	73
Jeux sur micro-ordinateur :	
Le jeu de « Startrek »	98
Technologie :	
Les transistors V-MOS	89
Divers :	
Séminaire Micro-Systèmes - Sybex	35
Abandonnement	40
La cybernétique	77
Informations	102

Le tirage de mai 1978 correspond aux termes des articles 7 et 8 de l'article 41, dans la partie « les droits de reproduction » des règlements relatifs à l'usage privé du copier et non destinés à une utilisation collective. En d'autres termes, les analyses et les commentaires publiés dans cet ouvrage et diffusés par les abonnés ne peuvent être reproduits, diffusés ou utilisés à des fins commerciales sans la permission écrite de l'auteur ou de son représentant autorisé. Toute réimpression ou reproduction, partielle ou totale, sans la permission écrite de l'auteur ou de son représentant autorisé, est formellement interdite.

MICRO SYSTEMES

MICRO
SYSTEMES



*Notre
couverture :*

*Le microprocesseur
8080 de Motorola
(Photo Documental)*

*Une fonction de
Beisel réalisée sur
le micro-ordinateur
Apple II (Sybex)*

Président-directeur général,
Directeur de la publication :
Jean-Pierre Ventillard

Rédacteur en chef :
Alain Tailliar

Comité de rédaction :
Jean-Michel Cour — André Duris
Jean Frémont — José Wauquiez

Rédaction :
83, rue de la Paix, 75002 Paris
Tél. : 296.46.97

Maquette : François Collet

Publicité :
S.P.E. Directeur : M. Bouvardet
Tél. : 296.46.97

Abonnements :
2 à 12, rue de Bellevue
75940 Paris Cedex 19
Tél. : 200.33.05
1 an (6 numéros) : 45 F (France)
70 F (Étranger)

Société Parisienne d'Édition
Société anonyme au capital de 1 050 000 F
Siège social : 45, rue de Dunkerque, 75010 Paris
Direction — Administration — Vente
2 à 12, rue de Bellevue, 75940 Paris Cedex 19
Tél. : 200.33.05 — Telex PGIY 20472 F

Copyright 1978 — Société Parisienne d'Édition
Déjà paru 3^e trimestre 78
N° éditeur : 644

Distribué par SAEM Transports Presse
Imprimerie : La Haye-Munaux

Micro-Systèmes décline toute responsabilité quant aux opinions formulées dans les articles. Celles-ci n'impliquent que leurs auteurs.

PENTASONIC

**MULTIMETRES
DISPONIBLES**

395 F

Le coin de l'actif bizarre



**cablage &
outillage**

commutation

FERS A SOLDER JBC

15 W, crayon, pointe inox	11,50
30 W, panache culé	49,85
Pointe inox 1000 40 W	18,20
Résistance de chauffage	
15 W 40-10, 40 W	30,00
Support de fer	32,30
Panneau CI	114,46
Far à apport de soudure	191,50
Batterie à cassette (3 c)	8,20
Soudure 10/10 90 %, 10 m	0,90

MINORS CROSS

Petit modèle	2,20
Grand modèle	2,70

FORTE ACIER RAPIDE

Ø 0,8 - 2,40 - Ø 1 mm	3,70
-----------------------	------

DRS FLS (sans soud)

Courts 13,00 - Long	18,00
---------------------	-------

PINCE POUR TESTER LES CI

10 broches	33,60
38 broches	73,20
40 broches	88,00

CABLES ET FIL

Ultrale 2 cond	1,50
2 cond.	2,10
4 cond.	2,50
Fil 10	3,10
Fil central 25 fil	2,10
Fil 70 cond en tresse	3,90

OUTILLAGE

PINCE COURANTE

Micron Stear pas 2,54	38,00
-----------------------	-------

PINCE PLATE

Micron inox 100 2,54	39,90
----------------------	-------

YOUNEVIS

Insg	4,70
Moyen	4,90
Grand	3,30
Cruciforme	4,80

PRECELE

Trouvil droite	16,20
Trouvil gauche	18,20
Rapide droite	17,50

PINCE

Courbe	44,00
Plate	43,00

JEU DE YOUNEVIS

Montage	17,10
Réglafe	27,80

CONTACTEURS ROTATIFS

1x12, 3x4, 2x6, 4x2	8,00
---------------------	------

ROTATEURS A GALETTES

Gauche + sec.	7,00
Montage possible de 4 galettes	
1x12, 2x6, 3x4, 4x2	7,50

INTERRUPTEURS

3 positions fugitives	3,70
3 positions stables	8,00
3 positions dont 1 fugitive	11,00
Double	4,00
Simple	3,50

BOUTONS ROUBOIRS

Ferme au repos	2,70
Ouvre au repos	2,70

ENTER A GLISSIERE

2 positions doubles	2,10
---------------------	------

BOUTONS POUSSOIRS EN BANDES

Inventeur	4,00
Mécanisme pour interdépendant	
ou min 4, 3 ou 6	3,00
BOUTONS	0,60

RELAIS SIEMENS

2 fil 8 V	21,00
12 V	21,00
4 fil 24 V	29,00
46 V	23,00

BOUCES CODEUSES

Codeuse BCD	14,20
Filsques, les 2	3,00
Codeuse décimale	34,20

COMMUTATEUR PAR CI

En forme de circuit intégré	24,20
7 liner	24,20

NEP

5 V - 0,5 A 1 T	16,50
5 V - 2 A 1 T	28,00

CLAVIER TYPE MACHINE A CALCULER

Matrice 6x6 Prix 43 F

TYPE HEXA DECIMALES

Touches séparées Prix 80 F

V/MOS

Manuel d'application et tous les composants V/MOS chez PENTASONIC

ALP1 3x40 W avec VN 85 AF	34,80
Fils du VN 66 AF	34,80

REFERENCE ET FONCTION

Le pièce Par 10, la pièce Par 25, la pièce

MC 6800 - Microprocesseur	190,00	150,00	151,00
MC 6802	224,00	214,00	187,00
SY 6802	130,00	137,00	137,00
SCMP 500	132,00	113,00	90,00
SCMP 600	146,00	131,00	126,00

MEMOIRES

3101 - RAM 256x4 Static	350 nS	34,30	38,20	42,00
3102 - RAM 1024x4 Static	400 nS	34,20	28,20	23,00
3112 - RAM 256x4 Static	450 nS	34,20	28,20	23,00
80101 - RAM 16x4 TTL	20 nS	38,10	48,10	43,30
80102 - RAM 1024x1 Static	450 nS	34,30	39,30	33,00
80104 - RAM 128x4 Static	450 nS	35,10	24,10	24,30
2114 - RAM 1 x 4 Static	300 nS	180,00	188,10	147,20
8114 - RAM 16 x 4 Dynamic	270 nS	218,00	248,00	228,00
INS 6154 - RAM 1x0 232x8	300 nS	96,00		
DM 8511 - RAM 32x8 Flash		15,40	28,00	27,30
DM 10512 - RAM 256x4 Flash		31,10	27,20	23,20
MM 5254 - EPROM 512x8 UV		96,00	85,00	87,00
MM 2708 - EPROM 1 x 8 UV		154,90	123,00	119,00
MM 2716 - EPROM 2 x 8 UV		280,90	248,00	234,00
J-BUG (2758) - Mémorise		150,00		
MIK 906 (1890 L7) - Mémorise		117,00		
FEV14-010 (2716) - Mémorise		195,00	(Club 6800 Pentax)	
Gencon 100 EMR		185,00		
- Cassette EMR		135,00		
- Jeu EMR		180,00		
- Scientifique EMR		235,00		
Basic VIM 1		1 497,00		

INTERFACE

MM 6200 - PIA	95,20
MM 6245 - Contrôleur de DRT	112,00
MM 6850 - ACIA asynchrone	109,10
MM 6862 - ACIA synchrone	109,00
MM 6875 - Circuit horloge 1600	21,10
SFF 16564 - Contrôleur de DRT	255,00
Dir. et système de principe pour 684	30,00
NY 2702 - PIA - Timers, Latching	158,00
SY 6812 - RAM 1x0 - Timers	148,00
MC 1403 - Porteur interface RS 232	85,00
MC 1404 - Porteur interface RS 232	11,80
MC 2450 - Quad Memory Driver	23,20
MC 3156 - Synchronisateur à bits Binary Counter	33,20
MC 6802 - Multiplicateur de précision	18,40
MC 14535 - Programmable timer	17,90
MC 14533 - Div. programmable	23,80
MC 14532 - Div. & Générateur Digital Mixer	24,00

CONNEXIONS

Support à wrapper (voir wrapping)

Support de transistors

TC 18 (genre SC 108)	1,30
TC 5 (genre 2915)	1,90

CONNECTEUR pour MK2 PIA

pour 6815	45,90
EMK Male	30,80
Femelle	40,00

Connecteurs femelle 3.96

15 contacts	4,25
10 contacts	6,70
20 contacts	11,20

Fiche DIN

5x Male	2,80
Femelle	2,70
Embase	1,60
6x Male	2,90
Femelle	2,80
Embase	1,30

Fiche Jack

2x Male	1,80
Femelle	2,00
Embase	1,00
3x Male	1,80
Femelle	2,00
Embase	1,10
6x5 Male	4,10
Femelle	4,10
Embase	3,70
6x3 Male	3,70
Femelle	3,10
Embase	1,30

Fiche RCA

Male	2,50
Femelle	1,50

Fiche BNC

Male	13,20
Embase	13,20

Fiche Banane

Male	1,80
Femelle	1,80
Embase à visser	5,80
Embase	0,90

Fiche 10

Male	1,70
Femelle	1,30
Embase	1,30
Embase à souder	2,30
Coupleur de pile 9 V	1,70
Double machine à souder droit	2,50

MATERIEL POUR CIRCUITS IMPRIMES OU PROTOS

RENCHLORURE

1 litre 18.80 Sachet 21 l l	8,50
STYLD + BALD +	17,00

DECALCOMANIES + ALFAC +

Four positif 5 feuilles	14,00
GRILLES Photocopie 21x29,7	11,20

PLAQUES BOYLE ZERO BOARD

50x100 pas 2,54 bande	11,40
100x100 pas 2,54 pastilles	14,20

BOMBES (pas d'envoi postal)

LEKANT SPECIAL TH1	
Electrolog 100	31,85
Electrolog 200	49,95
NE112944(1) 78	20,50
NE112945(1) 78	35,25

CRYSTALIN Rouge

Special Tone	22,70
Glycérol, stabilisateur de temps	14,20
Panneau photo-sensible	30,80

Copy - Simple face

100 x 250	19,50
145 x 220	11,80
Cymalt	14,70

LE WRAPPING SYSTEME VECTOR

Outil à wrapper	224,00
Stylis à câbler	99,00
Plaque perforée 115 x 203	26,00
Broches à wrapper 1 44	79,00
Broches à wrapper 1 41	34,20
Fil à wrapper	11,50

Support à wrapper

20 broches	4,80
8 broches 2,30	24 broches 6,80
14 broches 2,50	26 broches 8,10
18 broches 3,00	40 broches 10,80

Outil à déwrapper

Support composant 14 broches	4,80
------------------------------	------

MIT PLAQUES DE CONNEXIONS

ACE 210 K 156 broches	170,00
ACE 201 K 102 broches	120,00

Plaques de connexions

ACE 364 L 640 trous	120,00
ACE 348 L 480 trous	87,50

NOUVEAU POINT DE VENDE MICROPROCESSEURS

402 Grande Rue Lafayette

Special commutateurs et machines à écrire

TECHNICIEN - PENTASONIC - SUR PLACE

DEMONSTRATION DE CE MATERIEL SUR PLACE

CABLE DE LEADRON POUR MICROPROCESSEUR

Connecteur et câble métal destiné à effectuer la liaison entre deux supports de circuits intégrés 16 br.

Vous devez vous spécifier le lot pour avoir les deux connecteurs. Celui-ci sera livré à la demande

Connecteur 14 br. R20, 16 br	14,00
Câble isolé 16 br, 10 m	9,90

Remontage gratuit

PENTASONIC

POUR NOS ENSEMBLES MICROPROCESSEURS...

VISUALISATION avec le SFF 96364 SESCO

MADE IN FRANCE

- 16 lignes de 64 caractères
- Majuscules
- Déplacement du curseur dans les 4 dimensions
- Mode « Roll-up »
- Vitesse réglable jusqu'à 1200 bauds
- Entrée ASC II
- Entrée parallèle et série
- Effacement ligne

EN KIT



1.512 F

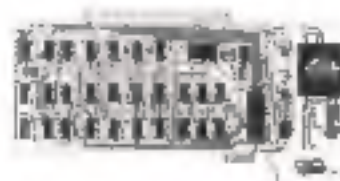
VISUALISATION

MADE IN U.S.A.

- 16 lignes de 64 caractères
- Majuscules et minuscules
- Déplacement du curseur dans les 4 dimensions
- Adressage du curseur en absolu ou relatif
- Mode « Roll-up »

- Alimentation sur carte
- Vitesse 47,5, 110, 300 bauds
- Entrée ASC II ou baudot
- Entrée parallèle et série
- Effacement ligne et colonne

MONTEE



1.580 F

LE CLUB 8800 PENTASONIC EST HEUREUX
DE VOUS FAIRE PART DE LA NAISSANCE DU

PENTABUG-1

qui se présente sous la forme de 2 MM 2708 se montant directement sur les emplacements EPROM du MK II et permet de brancher directement nos cartes de visualisation et nos claviers sur les KITS MAZEL et MK II • Mis au point par M. DAUTREVAUX

195 F TTC

Comprend 2 MM 2708 + 1 notice + 1 listing

- Ce module comprend et exécute 26 fonctions
- Il permet en outre d'adresser un ACIA en 8010-8011 et de commander tout interface travaillant en ASC II.

NOUVELLES DU CLUB 6800

- 100 PRINT - Bonjour -
- 110 PRINT - Je suis la carte Basic -
- 120 PRINT - Je coûte 1820 F -
- 130 PRINT - Je suis capable de comprendre tous les programmes en Basic -
- 140 PRINT - Je suis monté et testé -

Manuel d'utilisation et de présentation : 30 F



RAPPEL A TOUS LES MEMBRES DU CLUB 8800 :

Veuillez nous envoyer vos nom et adresse, et date d'achat, du Système MK II, MAZEL II, Nouveau 6800, Visu, Clavier.

POUR RECEVOIR GRATUITEMENT
LES PROGRAMMES EN BASIC

ET TOUJOURS L'UNITE CENTRALE « EMR ». En ordre de marche 1 150 F TTC

Un nouveau système de développement du 6800

Permettant de travailler directement sur l'ordinateur sans téletransmettre.

COMPRENANT :

- 1 UNITE CENTRALE EN KIT avec 1 6800, 2 PIA, 1 MONITEUR

- 1 INTERFACE VISU 48164 en 2708 de mémoire 16 lignes de 64 caractères, adresse et déplacement du curseur dans les quatre sens, d'effacer une colonne, une ligne ou l'écran (mode Roll up), sortie du signal au ASC II ou BAUDOT à 110 ou 300 Bauds. Majuscules, minuscules et alphabets grec.

- CLAVIER.

L'ENSEMBLE LIVRE avec une documentation SUPER COMPLETE : manuel de programmation en français, descriptions techniques en français, l'ensemble liste d'adresses Motorola, manuel d'utilisation et classeur comprenant toute la documentation microprocesseur.

PRIX : 3720 F TTC

Pour fonctionner avec ce nouveau système ou avec le MK2 CARTE INTERFACE "BASIC UNIVERSEL 6800"

COMMENTER : Il se agit de mémoire morte à 4 K octets de RAM disponibles. Ce langage permet l'accès à tous les programmes existants pour micropro-

cesseurs, la gestion de stocks et fichiers, les calculs scientifiques (log, sinus, cos, etc.).

PRIX : 1820 F

CLAVIER



- Sortie ASC II parallèle
- Alimentation : 5 V
- 55 touches

PRIX TTC

1.180 F

PENTASONIC

Sur le pont de Grenelle, face à la Maison de la Radio

5, rue Maurice-Bourdet - 75016 PARIS - Tél. 524-23-16

AUTOBUS - 79-72 (arr.) - MAISON DE L'O.R.T.F. METRO - Clignancourt

ouvert tous les jours (sauf dimanche) de 9 h à 12 h 30 et de 14 h à 19 h 30

PROCEP

PRÉSENTE

LE P.E.T. DE Commodore

MICRO-ORDINATEUR COMPLET, COMPACT, PERFORMANT



Le KIM-1

Ecran.

Lecteur/enregistreur de cassettes standard.

■ K-octets RAM (extension possible jusqu'à 32 K-octets).

Accès au langage machine.

Interface IEEE-488 (HP-IB).

■ lignes d'entrée-sortie programmables.

PRIX : 8 450 F (H.T.)

LE KIM-1

DE MOSTECHOLOGY INC

(DIVISION DE COMMODORE)

LE « BEST-SELLER »

DES MICRO-ORDINATEURS

SUR UNE CARTE

Prêt à être utilisé (il suffit de lui brancher l'alimentation).

Interfaces pour magnétophone standard et pour télétype avec le software correspondant.

1 K-octets de mémoire RAM et 16 lignes d'entrée-sortie disponibles pour l'utilisateur.

Pas à pas facilitant la mise au point des programmes.

Manuel d'utilisation en français.

Bibliothèque importante de programmes.

NOMBREUSES EXTENSIONS : carte mémoire, carte de programmation de mémoires EPROM, micro-imprimante...

PRIX : 1 500 F (H.T.)

LES COMPOSANTS DE LA FAMILLE 6500 DE MOSTECHOLOGY INC.

- les microprocesseurs 65XX, 8 bits, monotonisation à 10 V, horloge incorporée, deux registres d'index, 13 modes d'adressage (dont adressage indirect pré et post-indexé).
- le VIA 6522 qui comprend en plus des caractéristiques du PIA 6820, deux timers de 16 bits et un registre à décalage de 8 bits.
- le COMBO 6532 qui comprend 128 octets de RAM, 2 ports d'entrée-sortie, un timer et un détecteur de front programmables.

Mitro-Systemes

Bon réponse à retourner à : PROCEP 51, rue de la Rivière, B.P. 24, 78420 Carrières-sur-Seine
Tél : 968.31.87

Raison Sociale

Activité

Nom et Fonction

Adresse

Tél

l'informatique à votre portée

avec les ordinateurs "HEATHKIT"

... deux systèmes complets, étudiés spécialement pour vous, techniciens, scientifiques, éducateurs, amateurs avertis, responsables d'entreprises.

◆ Système H8, mots de 8 bits, avec microprocesseur 8080 A et capacité de mémoire centrale extensible à 32 K mots (RAM statique).

◆ Nombreux périphériques : Console de visualisation - Perforateur/lecteur de bande - Imprimante DEC LA 36 (30 cps) - Mémoire massée sur cassettes, disques souples - Interfaces I/O séries parallèles. Ce matériel est livré en KIT* au 1er ordre de marche, avec logiciel très complet, comprenant même le Basic 8K (en option - Basic 12 K et gestion fichier) vous permettant de développer vos applications à l'infini.

* Les unités centrales (CPU) sont livrées câblées et testées par HEATHKIT.

◆ Système H10, mots de 16 bits, avec microprocesseur LSI 11, et capacité de mémoire centrale extensible à 32 K mots (RAM - MOS statique).

Clubs d'utilisateurs - Prix très compétitifs...



... à partir de 3.460 F (HT)



KIT MICRO-ORDINATEUR d'initiation "6800"

Moniteur 1 K ROM - 256 x 8 RAM - Extension à 512 x 8 RAM - Affichage 6 digits, 7 segments - Clavier hexadécimal - Possibilité d'extension cassette, etc. - Livré avec alimentation stabilisée - Manuel en Anglais

Prix - 1.090 F (TTC) + port 30 F

COURS sur les MICROPROCESSEURS

Le plus complet à ce jour - 2 chapitres, 600 pages, rédigé en Anglais, assorti d'exemples et expériences, à partir de 60 composants électroniques (y inclus)

Prix - 820 F (TTC) + port 10 F

Bon à découper, à adresser à :

FRANCE - Heathkit, 41 rue de la Chapelle, 75013 PARIS, tél. 348 25 61
 (2) ÉTRANGER - Heathkit, 16 Av. du Centre, 01000 THOUZIEUX, tél. 344 27 32

Je désire recevoir votre catalogue de votre catalogue, en Anglais, contenant tous renseignements sur : (cocher la case)

Catalogue n° 8 et 11 Cours sur les microprocesseurs

Je joins 4 Francs en timbres, votre façon d'envoyer

Nom, prénom

N°

Code postal

Rue

Ville

Centres de démonstration :

PARIS (6^e), 84 Bd Saint-Michel, tél. 326.18.91

LYON (3^e), 204 rue Vendôme, tél. (78) 63.03.13

SIEMENS

Microprocesseurs : nous avons beaucoup à dire. Et nous le disons en français.

Comme tous les grands pays industrialisés, la France est entrée dans l'ère des microprocesseurs. Mais voici en quoi l'apport de Siemens, entreprise européenne, y est décisif :

- Siemens est, par contrat, seconde source pour toute la gamme INTEL.
- Avec plus de 1 500 pages déjà écrites : programme de vente, matériel logiciel etc. Siemens

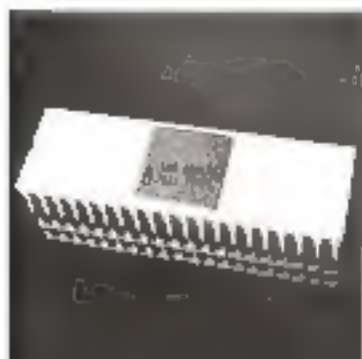
facilite votre information en publiant tous ses ouvrages en langue française (liste complète sur demande - voir coupon au bas de cette annonce).

- Avec un laboratoire en proche banlieue parisienne (Saint-Denis), Siemens facilite votre accès à un outil vital pour le développement des systèmes à microprocesseurs.
- Dans les mêmes locaux, Siemens

assure dès à présent la formation à l'utilisation optimale de matériels d'aide au développement de micro-ordinateurs.

- Partout en France, le choix des systèmes à microprocesseurs Siemens s'accompagne d'une indiscutable sécurité : pouvoir compter, à tout moment, sur un Service Après-vente de tout premier ordre.
- Dans chaque région, Siemens met déjà, ou s'apprête à mettre à la disposition de ses clients des Sociétés de Services capables de leur assurer, sur place, l'ensemble de ces prestations.

Qu'il s'agisse de composants microprocesseurs, ou de systèmes d'aide au développement de micro-ordinateurs, vous ne pouvez ignorer les avantages que Siemens, en France, vous offre dans ce domaine. Il vous est facile d'être informé : en retournant le coupon ci-dessous à Siemens S.A., Division Composants, B.P. 100 - 93203 ST-DENIS CEDEX 1 (Tél. 800 81 20).



**Siemens fabrique aujourd'hui
les composants de demain.**

Nom _____

Fonction _____

Entreprise _____

Adresse _____

Téléphone _____

- souhaite recevoir gratuitement le livre photographique complet de vos ouvrages en langue française
- souhaite prendre rendez-vous avec l'un de vos représentants commerciaux
- souhaite visiter le laboratoire Microprocesseurs du Saint-Denis

Editorial

A quoi sert le progrès s'il ne profite pas à tout le monde ?

Depuis quelque temps déjà, la presse technique ainsi que la presse non spécialisée se fait quotidiennement l'écho de la fantastique révolution technologique que nous impose le développement des microprocesseurs dont l'utilisation conduit au micro-ordinateur à usage personnel.

Il est un fait certain, que chacun d'entre nous se trouve concerné par ce phénomène nouveau issu directement du progrès technologique, il ne s'agira d'un véritable progrès que dans la mesure où il sera offert à tous la possibilité d'aborder avec un minimum de connaissances de base ce domaine à peine exploré de l'électronique programmée.

Pour parvenir à ce progrès il ne manquait plus qu'une revue qui soit le lieu de rendez-vous de tous ceux qui, comme vous, ont décidé dès à présent, en se tournant vers la logique programmée, de participer efficacement à la construction de notre futur tant dans ses modes de conception de systèmes que dans ses modes de programmation.

Forts de notre longue expérience de la presse technique et en réponse à la demande de nos nombreux lecteurs, nous avons décidé de publier pour la première fois en France une revue consacrée aux microprocesseurs, micro-ordinateurs et à l'informatique appliquée.

Telles sont les raisons qui nous ont amenés à vous proposer aujourd'hui « **Micro-Systèmes** ».

Première revue de micro-informatique en langue française, « **Micro-Systèmes** » constitue un carrefour entre l'électronique et l'informatique destiné à rassembler l'ensemble des ama-

teurs, professionnels et étudiants qui souhaitent accéder à la réalisation et à la programmation de micro-ordinateurs dans le cadre de leur entreprise ou dans celui de leurs loisirs.

Pour parvenir à une parfaite maîtrise du microprocesseur, la rédaction a décidé d'étudier et de développer pour ses lecteurs des réalisations pratiques dont les performances et la fiabilité auront été testées avant toute publication et pour lesquelles l'implantation du circuit imprimé aura fait l'objet des soins les plus attentifs.

Ainsi, à travers cette revue d'initiation et de développement à la logique programmée dont l'objectif fondamental est d'amener ses lecteurs à la construction de leur propre micro-ordinateur, informaticiens et électroniciens se côtoieront en contribuant par leur ingéniosité au succès d'une rubrique réservée à la publication et à l'échange de leurs programmes.

De la sorte, « **Micro-Systèmes** » manifeste son désir d'entretenir avec ses lecteurs des relations étroites en maintenant largement ouverte à toutes leurs idées cette revue afin qu'elle devienne le lieu privilégié d'un nouveau mode de pensée à l'égard d'une informatique à usage personnel.

Prévu pour paraître suivant un rythme bimestriel, « **Micro-Systèmes** » a pu réunir pour la rédaction de ses articles un ensemble de noms prestigieux du monde de la micro-informatique. Par leur collaboration éclairée, nous sommes en mesure de vous proposer aujourd'hui ce premier numéro pour lequel nous vous remercions de l'accueil que vous lui réserverez ainsi qu'aux prochains.

« **Micro-Systèmes** » est né pour vous et grâce à vous.

Alain TAILLIAR
Rédacteur en Chef

Jean-José WANEGUE
Conseiller Commercial



Nous ne nous arrêtons pas à mi-parcours!

Lorsque nous nous occupons
de microprocesseurs, nous savons voir les choses
dans leur intégralité.

Primo, nous vous proposons les microprocesseurs **intel** ;
c'est déjà un gage de sérieux.
Secundo, nous mettons à votre service des ingénieurs d'application
qui "tiennent la distance".



Cette avance technologique, ce sont certainement les micro-ordinateurs compacts intégrés
dans un seul boîtier.

le chef de famille est le 8048/8048 à passerte une A.L. 1/ de 8 bits, 1 K octets de mémoire
morte (ROM ou EPROM), 64 octets de mémoire vive, 37 I/O, un timer de 5 bits, une horloge.

Le grand frère, le 8049, a des capacités mémoire étendues.

Les 8035 et 8039 sont des 8048 et 8049 sans mémoire morte.

Le dernier né, le 8027, diffère du 8048 par son nombre de broches (28 au lieu de 40), ses
21 I/O, son jeu d'instructions étendu.

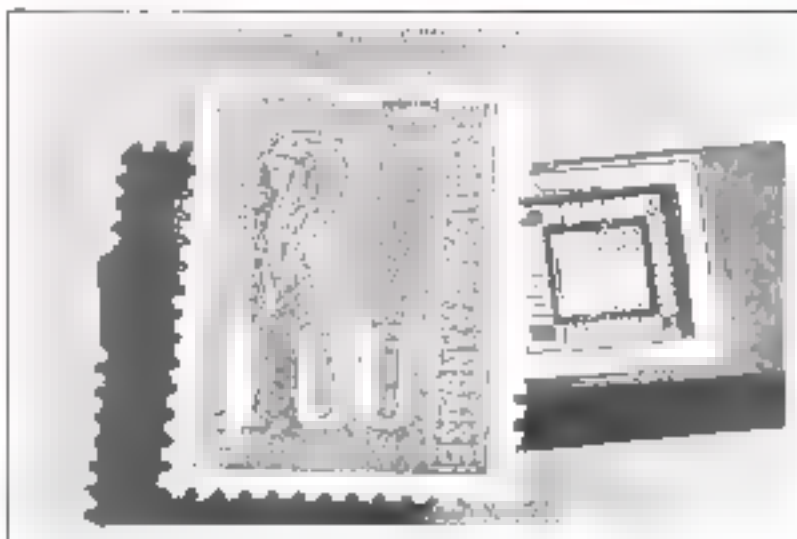
Initiation aux MICROPROCESSEURS

Cet article, organisé en deux parties, constitue un guide simple d'initiation aux microprocesseurs. Il permettra au néophyte d'acquérir une connaissance générale du sujet avant d'aborder l'étude approfondie des micro-ordinateurs.

La première partie traite plus particulièrement de numérotation binaire, des mémoires, de l'organisation et des structures internes d'un système à microprocesseur.

La seconde, dans le prochain numéro, introduira de façon progressive les modes de programmation et la manière de créer un programme. Nous développerons ensuite le processus d'élaboration d'une application.

À ce stade, nous tenterons de répondre aux deux questions qui viennent à l'esprit lors d'une approche de ce type de réalisation : Par où commencer et quel matériel acheter ?



Le microprocesseur 8086 de Motorola. (Photo Desmarques)

INTRODUCTION

Les premiers circuits intégrés (CI) étaient destinés à remplacer des circuits composés de résistances, de condensateurs, de diodes et de transistors assemblés sur une carte à câblage imprimé. Les techniques d'intégration ont été appliquées aux deux grandes branches de l'électronique : les circuits analogiques et les circuits digitaux ou numériques. Un amplificateur haute fidélité est un exemple de circuit analogique car il amplifie un signal phonographique ou radiophonique sans altérer la fréquence et la tonalité du son. Les circuits (logiques) digitaux sont utilisés dans les ordinateurs et les microprocesseurs : ils travaillent sur des représentations de l'information constituées par des niveaux ou des états de signaux. Leur comportement est analogue à celui d'un automobiliste qui réagit aux trois états — rouge, orange, vert — d'un feu tricolore de signalisation routière (L'intensité de la lumière est sans importance à condition que l'automobiliste puisse distinguer la couleur de la lampe qui est allumée).

Les circuits digitaux ont été les premiers à être intégrés car ce sont des montages relativement simples. Les premiers CI regroupaient sur une petite plaquette de silicium une dizaine de composants discrets

— résistances et transistors — interconnectés en une porte logique qui est le circuit de base de l'électronique digitale.

Les techniques d'intégration ont été sans cesse perfectionnées et le nombre de composants élémentaires d'un CI décuple pratiquement tous les cinq ans (fig. 1). Cependant, cette branche de l'élec-

tronique s'est surtout orientée vers la production de CI spécialisés pour des usages particuliers. Au contraire, dans les microprocesseurs, la grande complexité des circuits est mise au service de leur souplesse d'emploi. Pour changer d'application, il suffit de modifier un programme d'instructions comme dans un petit ordinateur.

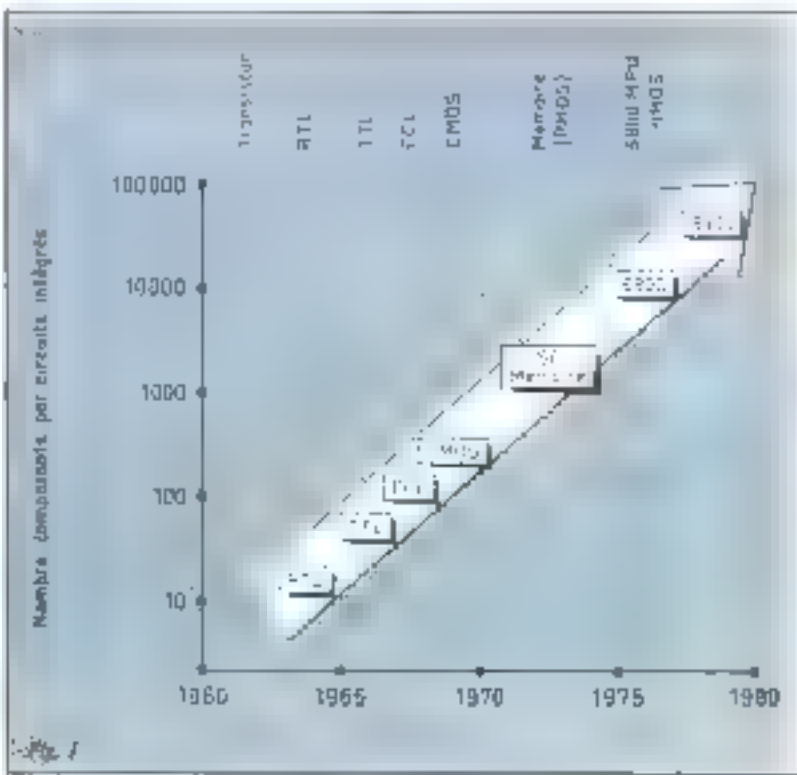


Fig. 1. - Evolution de la complexité des circuits intégrés depuis 1960.

Dans un microprocesseur, pour changer d'application, il suffit de modifier un programme d'instructions.

Les figures 2, 3 et 4 montrent comment le même microprocesseur peut remplacer un circuit divisé par dix, un comparateur et une matrice de décodage. Pour exécuter ces fonctions dans un certain ordre, il faut établir des connexions physiques appropriées entre les différents circuits. Avec un microprocesseur, il suffit de combiner des programmes. Ainsi, pour une séquence comprenant une division suivie d'une comparaison et d'un décodage, le programme du microprocesseur sera constitué du programme I suivi du programme II, puis du programme III.

Un même microprocesseur peut ainsi effectuer une succession de tâches définies par un programme logiciel écrit par l'utilisateur. Ce faisant il remplace un grand nombre de circuits en logique câblée. De plus, la réduction du nombre de CI nécessaires permet d'abaisser très sensiblement le coût de la partie matérielle du système.

Pour l'avenir, la fabrication en très grande série des microprocesseurs laisse prévoir d'importantes baisses de prix qui justifient leur emploi en remplacement de logiques câblées utilisant plus de 20 CI, même pour des systèmes produits à des millions d'exemplaires. En effet, peu de CI spécialisées pourraient offrir à des prix aussi bas une fiabilité et une souplesse d'emploi équivalentes à celles des microprocesseurs.

La numération binaire

Le système binaire est le plus simple possible avec seulement des éléments « 1 » et « 0 » que l'on peut combiner en séquence ou « mots ». Les propriétés du système binaire sont parfaitement adaptées à l'électronique digitale.

Les dispositifs digitaux travaillent sur deux niveaux de tension représentant l'état logique « zéro » (en général 0 V ou la référence de masse) et l'état logique « un » (4,5 V). Un dispositif digital est par exemple un interrupteur branché en série avec une lampe électrique : quand l'interrupteur est fermé, la lampe s'allume (état logique

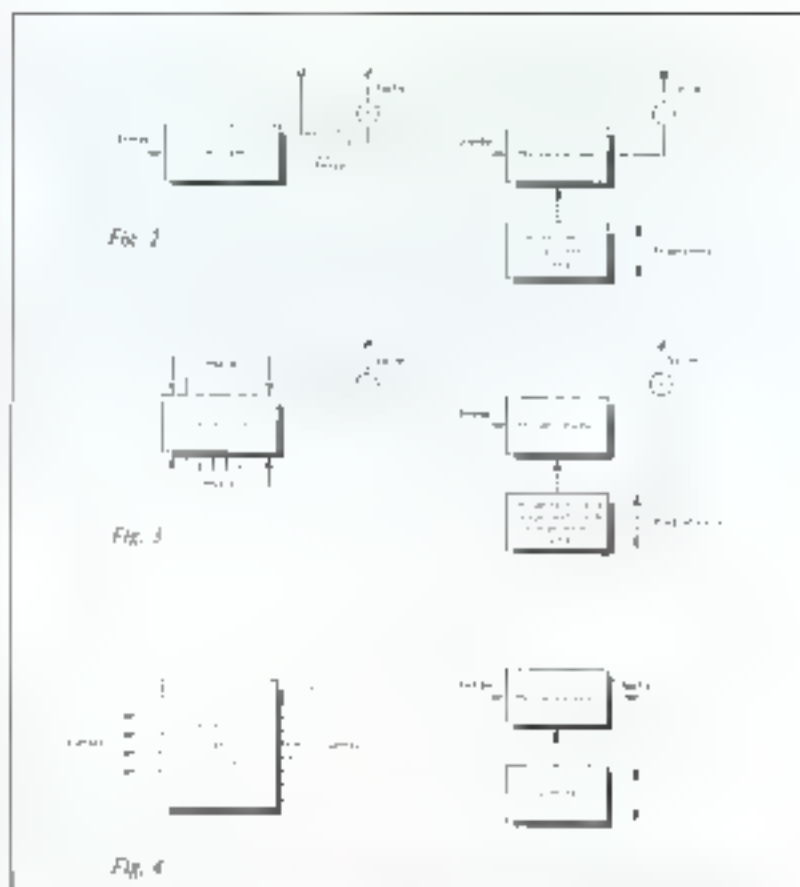


Fig. 2, 3, et 4 - Trois fonctions classiques : le diviseur (2), comparateur (3) et le tableur (4) remplacés en électronique classique et en électronique microprocesseur.

« un ») et quand l'interrupteur est ouvert, la lampe s'éteint (état logique « zéro »).

Si l'on prend maintenant quatre circuits identiques et indépendants comprenant chacun une lampe et un interrupteur en série, il est évident qu'on peut allumer à volonté

certaines lampes dans un ordre quelconque (fig. 5). Cette combinaison constitue un code à choix multiples. On peut facilement déterminer le nombre de choix possibles, c'est-à-dire de combinaisons de lampes allumées et éteintes.

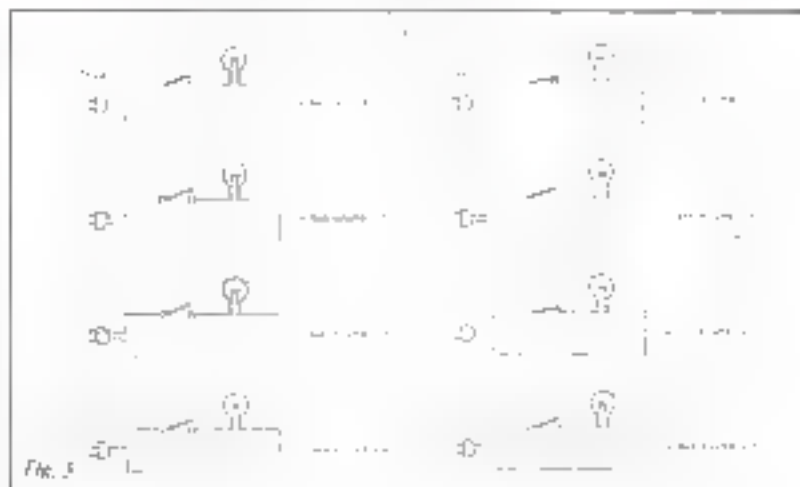


Fig. 5 - Annoter à l'aide d'un dispositif digital et un circuit d'allumage de lampes.

0000 toutes les lampes éteintes	1000 lampe 4 allumée, les autres éteintes
0001 lampe 1 allumée, les autres éteintes	1001 lampes 1 et 4 allumées, les autres éteintes
0010 lampe 2 allumée, les autres éteintes	1010 lampes 2 et 4 allumées, les autres éteintes
0011 lampes 1 et 2 allumées, les autres éteintes	1011 lampes 1, 2 et 4 allumées, lampe 3 éteinte
0100 lampe 3 allumée, les autres éteintes	1100 lampes 3 et 4 allumées, les autres éteintes
0101 lampes 1 et 3 allumées, les autres éteintes	1101 lampes 1, 3 et 4 allumées, lampe 2 éteinte
0110 lampes 2 et 3 allumées, les autres éteintes	1110 lampes 2, 3 et 4 allumées, 1 lampe 1 éteinte
0111 lampes 1, 2 et 3 allumées, lampe 4 éteinte	1111 toutes les lampes allumées.

On constate qu'il y a au total 16 combinaisons possibles.

Oublions maintenant les lampes pour concentrer notre attention sur la notation symbolique 0 et 1 qui représente des états logiques opposés, par exemple allumée ou éteinte, 0 V (masse) ou 5 V, bas ou haut, etc. Chaque position (élément ou colonne) du code est appelée « bit » (abréviation anglaise de chiffre binaire) et dans la combinaison 1111, les quatre bits sont des « 1 ». On pourrait composer ainsi n'importe laquelle des 15 autres combinaisons du code numérique. Dans l'exemple précédent, les quatre bits du mot constituent une entité. En ajoutant deux autres bits, on obtient un mot de six bits, par exemple 111111. Ces mots sont essentiels car ils permettent de communiquer avec les dispositifs digitaux et notamment les microprocesseurs.

Pour connaître le nombre de combinaisons possibles d'un code d'un certain nombre de bits, il n'est pas nécessaire de les écrire toutes et de les compter car la formule suivante permet de les calculer :

$$\text{Nombre total de combinaisons} = (\text{base})^{\text{no de bits}}$$

Dans le système binaire dont la base est 2, cette relation nous donne pour un mot à 4 bits : nombre total de combinaisons = $2^4 = 16$. Dans le système décimal dont la base est 10 (chiffres de 0 à 9), une même longueur de mot permettrait $10^3 = 10\ 000$ combinaisons, soit les nombres 0 à 9999.

Les mots binaires les plus utilisés ont des longueurs de 4, 8, 16 et 32 bits. Les microprocesseurs utilisent actuellement des mots de 4, 8 et 16 bits, et bientôt 32 bits. Le mot de 8 bits est « octet » est important

pour les microprocesseurs car les bits de données fournissent généralement 8 entrées parallèles et simultanées (256 combinaisons possibles). Le microprocesseur lit le mot quand il est présent pendant un temps minimal.

Le système binaire est avantageux pour l'électronique digitale car il est facile de réaliser des circuits à deux états stables. La possibilité d'enregistrer des états erronés est en outre minimisée (la logique à quatre états n'apparaîtra pas avant quelques années, mais elle est réalisable).

Tableau 1

Nombre de mots différents pour un code binaire de longueur donnée

Nombre de bits	Nombre maximum de mots différents
1	$2^1 = 2$
2	$2^2 = 4$
3	$2^3 = 8$
4	$2^4 = 16$
5	$2^5 = 32$
6	$2^6 = 64$
7	$2^7 = 128$
8	$2^8 = 256$
9	$2^9 = 512$
10	$2^{10} = 1024$
11	$2^{11} = 2048$
12	$2^{12} = 4096$
13	$2^{13} = 8192$
14	$2^{14} = 16384$
15	$2^{15} = 32768$
16	$2^{16} = 65536$

Les mémoires

Les mémoires sont des circuits électroniques permettant d'enregistrer des mots binaires sous une forme permanente, dans le cas des ROM*, ou sous une forme temporaire, dans le cas des RAM**.

Les mots binaires sont utilisés par le microprocesseur pour communiquer avec l'extérieur et pour recevoir ses instructions. Il faut donc que ces mots binaires soient mémorisés quelque part pour que le microprocesseur se « souvienne » de ce qu'il a à faire. Les mémoires sont généralement des matrices de dispositifs à semi-conducteurs (état solide) que l'on peut se représenter comme des rayons de ruche dont les alvéoles sont pleines ou vides (un ou zéro).

Les mémoires se divisent en deux grandes catégories : les mémoires mortes à contenu permanent, ou ROM, et les mémoires vives à accès aléatoire, ou RAM. Dans une ROM, la configuration des bits initialement chargée est immuable. Dans une RAM, les bits « 0 » et « 1 » peuvent être chargés ou écrits, puis examinés (ou lus) ultérieurement, et éventuellement modifiés. Les mémoires vives sont également appelées mémoires à lecture-écriture car elles permettent d'accéder sélectivement à chacune de leurs cellules en mode lecture ou en mode écriture.

Pour accéder à une information enregistrée, il faut qu'elle soit adressable. Pour illustrer le problème, supposons qu'il existe dans une ville huit rues parallèles de quatre maisons chacune (fig. 6). Dans chaque maison, les lumières peuvent être allumées ou éteintes (carré blanc ou noir), ce qui correspond à huit mots de quatre bits.

(Dans la sixième rue code 101)

* ROM : Read Only Memory ou Mémoire morte.

** RAM : Random Access Memory ou Mémoire vive.

* R.M. : Random Access Memory ou Mémoire vive.

Les mots binaires sont utilisés par le microprocesseur pour communiquer avec l'extérieur et pour recevoir des instructions.

les lumières vont allumées dans les deux premières maisons et éteintes dans les deux suivantes. Avec les conventions choisies, on peut représenter la combinaison « blanc, blanc, noir, noir » par le code binaire 1100. De même, dans la septième rue (code 1100) toutes les maisons sont éteintes, le code binaire est 1111. Si on veut éteindre toutes les lumières de la sixième rue (code 0000), il faut accéder à l'adresse 101 pour modifier le mot qu'elle contient.

Codes d'adressage des rues :

On dit qu'une telle mémoire d'une capacité de huit mots de quatre bits a une organisation de 8×4 , comme illustré schématiquement sur la figure 7.

Première rue	000
Deuxième	001
Troisième	010
Quatrième	011
Cinquième	100
Sixième	101
Septième	110
Huitième	111

À ce stade, il est essentiel de faire la différence entre l'adresse de l'emplacement et son contenu qui sont tous deux des mots binaires. Par exemple, l'adresse de la sixième rue est 101, son contenu est 1100.

En revenant à l'analogie précédente avec un casin de roulette, on peut considérer qu'il y a huit rayons de quatre alvéoles dont certains sont pleins de miel et les autres vides comme les maisons de la fig. 6 étaient allumées ou éteintes. Ces structures ressemblent à celles d'une ROM car il s'agit d'une matrice dont chaque point est occupé par un « 0 » ou un « 1 ».

La différence entre les RAM et les ROM est que les premières ont une broche à laquelle est appliqué un signal « \overline{CS} » autorisant ou interdisant la modification du contenu de l'emplacement adresse. Selon l'état de ce signal, le contenu de l'emplacement adresse est modifié (écriture) ou lu. Dans le cas d'une ROM, le contenu n'est pas modifiable.

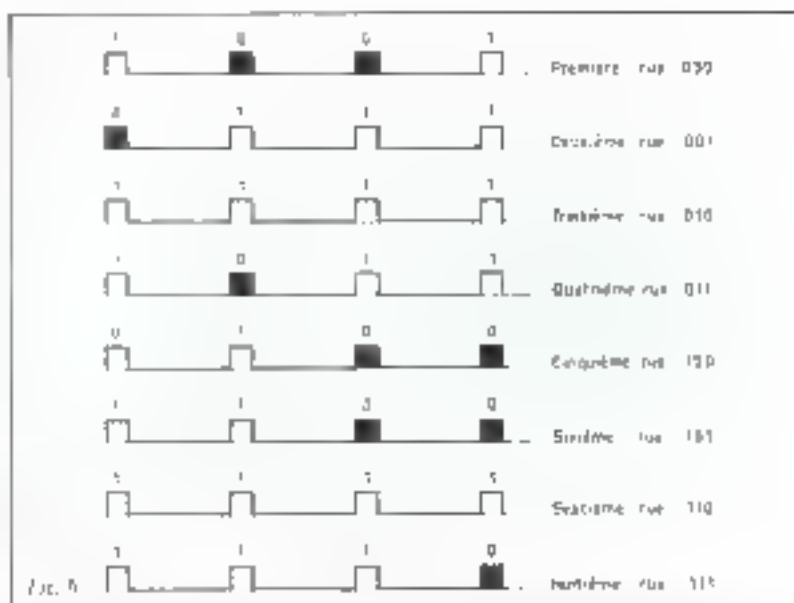


Fig. 6. Huit rues parallèles de 4 maisons dont les lumières peuvent être allumées ou éteintes. Ici, l'exemple d'une organisation mémoire de 8 mots de 4 bits.

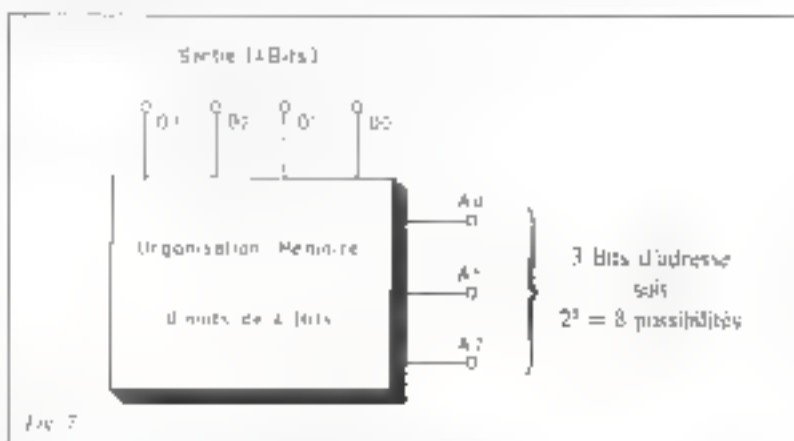


Fig. 7. Organisation mémoire d'une mémoire de 8×4 .

Tableau II

Dimensions et organisation des mémoires actuelles

k	Type de Mémoire	
	ROM	RAM
1024 bits	128 mots de 8 bits 256 mots de 4 bits	128 mots de 8 bits 256 mots de 4 bits 1024 mots de 1 bit
4096 bits	1024 mots de 4 bits 4096 mots de 1 bit	1024 mots de 4 bits 4096 mots de 1 bit
8192 bits	1024 mots de 8 bits	
16 384 bits	2048 mots de 8 bits	16 384 mots de 1 bit
32 768 bits	4096 mots de 8 bits	32 768 mots de 1 bit

Il existe en outre plusieurs types de RAM ou de ROM. Les RAM, par exemple, peuvent être à fonctionnement statique ou dynamique. Une mémoire statique est une matrice de bascules (flip-flop) qui prennent un état stable en dissipant une certaine puissance pour conserver l'information mémorisée. Cette information peut être modifiée au cours d'un cycle d'écriture, mais en cas de panne d'alimentation tout le contenu de la mémoire est perdu (on dit qu'elle est « volatile »).

Dans une RAM dynamique, l'information est mémorisée dans une capacité sous la forme d'une charge électrique. A cause des courants de fuite, cette charge doit être périodiquement reconstituée par une opération de « rafraîchissement » de l'information. D'une manière générale, les mémoires statiques sont plus simples à utiliser mais n'ont pas une aussi grande capacité de stockage que les mémoires dynamiques.

Organisation

Le microprocesseur est organisé pour extraire des instructions de sa mémoire de programme au cours de cycles d'acquisition, et pour obéir à ces instructions au cours de cycles d'exécution.

Les microprocesseurs sont généralement organisés pour des mots de huit bits ou « octets » et nous supposons que c'est le cas pour les besoins de l'explication. Le microprocesseur travaille donc sur des ensembles de huit bits qui sont transmis en même temps sur huit lignes parallèles constituant ce que l'on appelle un « bus de données ».

Notre microprocesseur reçoit donc ces groupes de bits, les traite et les renvoie sous forme de résultats. Ainsi, le microprocesseur de la figure 8 comporte huit lignes bidirectionnelles de réception et d'émission des bits d'information.

Le problème de la transmission des données étant résolu, il reste encore celui de l'adressage qui consiste à savoir à quel endroit les données doivent être prises ou rangées, selon le sens du transfert. Cette fonction est remplie par un

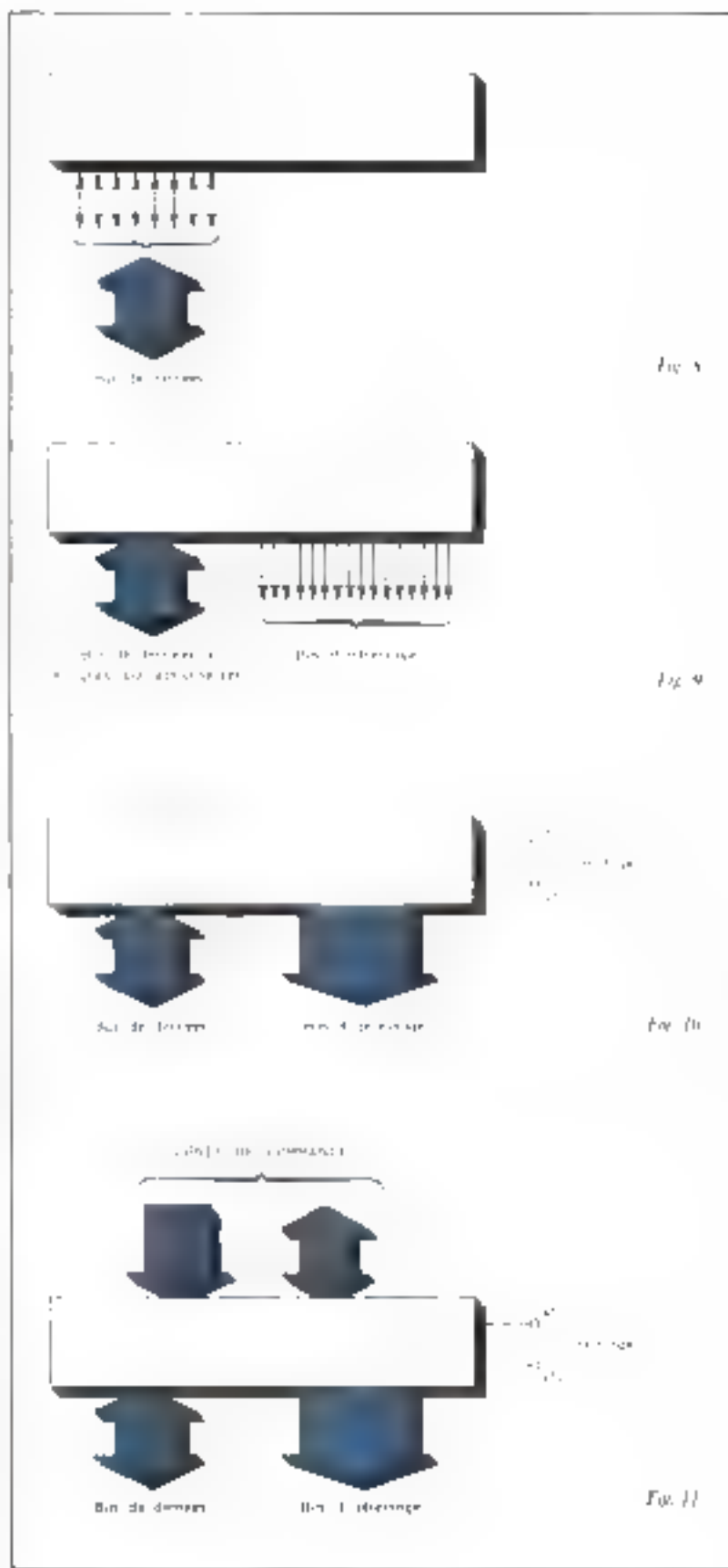


Fig. 8 - Le microprocesseur et ses 8 lignes de données.

Fig. 9 - Le bus d'adressage de 16 bits permet d'adresser 65 536 positions de la mémoire.

Fig. 10 - Les lignes d'acquisition et de récupération sont bidirectionnelles par une ligne diphasée ① et ②.

Fig. 11 - Microprocesseur complet avec bus de données et d'adressage, lignes de commande et de contrôle et 30V témoins.

« bus d'adressage » sur lequel circulent des adresses binaires dont la longueur (nombre de bits) dépend du nombre de positions à adresser. Par exemple, pour adresser huit positions, il suffit d'une adresse à trois bits. Les bus d'adressage sont généralement prévus pour la transmission de seize bits en parallèle (sur deux cycles) ce qui permet d'adresser $2^8 = 65\ 536$ positions différentes d'une mémoire. On peut se représenter ces positions comme 65 536 boîtes aux lettres situées le long d'une rue (très longue !).

La figure 9 représente le boîtier du microprocesseur avec ses seize lignes d'adressage dirigées vers l'extérieur qui s'ajoutent au bus de données à huit lignes bidirectionnelles pour réaliser un système de communication capable de fonctionner dans les deux sens.

Sur son bus d'adressage, le microprocesseur peut transmettre n'importe laquelle des 65 536 combinaisons possibles des bits d'adressage. Comme l'adresse postale qui figure sur l'enveloppe d'une lettre, chacune de ces combinaisons transmises sur le bus d'adressage permet de sélectionner une donnée adressée à une position unique. L'information transmise sur le bus d'adressage représente le texte de la lettre contenue dans l'enveloppe. Ainsi, l'opération d'adressage revient à ouvrir l'une des boîtes aux lettres avec une clé spéciale et à y déposer un message qui ne peut aboutir que dans cette boîte car toutes les autres sont restées verrouillées.

En inversant le processus, on peut lire à une adresse déterminée que le microprocesseur sélectionne en appliquant une combinaison de bits au bus d'adressage (ouverture de la boîte aux lettres désirée), après quoi l'information (huit bits) est envoyée au microprocesseur par le bus de données.

Ainsi, le microprocesseur travaille en deux cycles, l'un pour l'émission des données, l'autre pour la réception (ou la lecture). Pour éviter un mélange des informations sur le bus de données, ces cycles d'émission et de réception se déroulent successivement. Une ligne de « lecture/écriture » déter-

mine le sens du transfert sur le bus de données. Les cycles d'acquisition et d'exécution sont synchronisés par une horloge déphasée dont les deux phases décalées sont appelées $\phi 1$ et $\phi 2$ (phi un et phi deux). Le cycle d'acquisition défini par la phase $\phi 1$ correspond à la recherche et à la mise en place de l'instruction dans le microprocesseur, alors que le cycle d'exécution $\phi 2$ correspond à la réception, au traitement et à l'émission des données par le microprocesseur. Ces deux lignes d'horloge sont représentées sur la figure 10. Ainsi, toutes les 250 ns (une nanoseconde (ns) représente un milliardième de seconde ou 10^{-9} s), notre microprocesseur applique une adresse à son bus d'adressage, reçoit l'instruction correspondante sur le bus de données et patiente jusqu'à la fin de la phase d'adressage. Pendant le cycle d'horloge suivant de 250 ns, le microprocesseur exécute les opérations et les transferts commandés par l'instruction qu'il a reçue. Ensuite, au début du cycle d'acquisition suivant, il émet une nouvelle adresse d'instruction, et ainsi de suite.

Le fonctionnement du micro-

processeur nécessite des lignes de commande (fig. 11), comme la ligne de lecture/écriture, ainsi que deux lignes d'alimentation (+ 5 V et 0 V).

Le microprocesseur décrit ne peut fonctionner seul car les instructions et les données doivent être stockées dans une mémoire qui représente nos « boîtes aux lettres » de l'exemple précédent. En pratique, le programme d'instructions est rangé dans une mémoire « morte » ou ROM qui peut avoir une capacité de 1024 octets. Les données sont rangées dans une mémoire « vive » ou RAM qui peut également avoir une capacité de 1024 octets (figure 12). Par construction, le microprocesseur émet toujours la même adresse lorsqu'il est mis en marche, par exemple le code 1024 dans l'exemple choisi. A cette adresse se trouve une première instruction qu'il exécute au cycle suivant. Cette instruction peut être le chargement du nombre binaire 00000000 à l'adresse 5000 de la mémoire de données. Ainsi, au cycle suivant, l'adresse 5000 est appliquée au bus d'adressage pour « ouvrir » la position correspon-

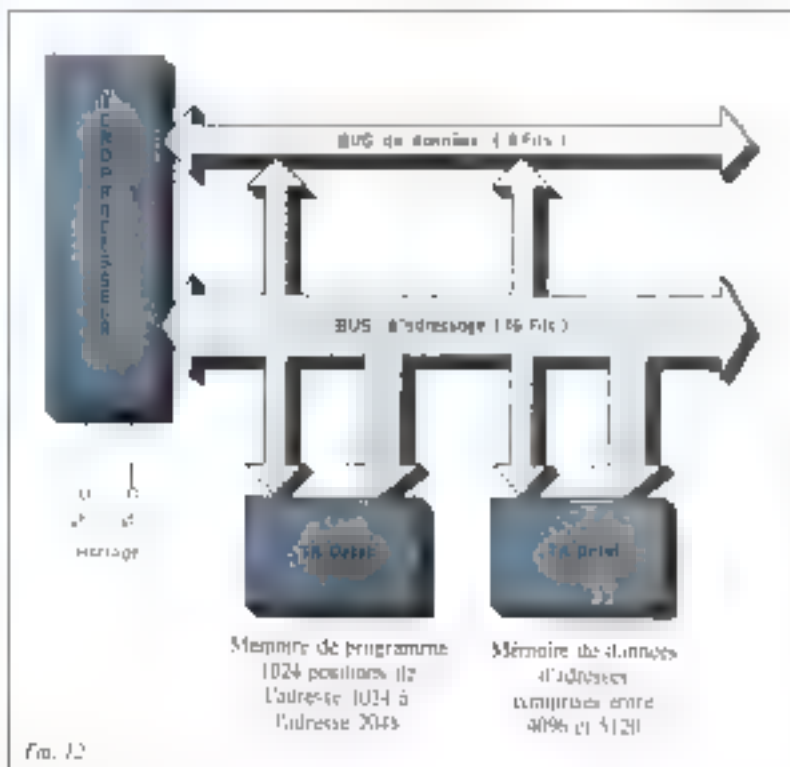


Fig. 12 - Pour fonctionner le microprocesseur a besoin de deux types de données et un programme d'instructions dans des mémoires.

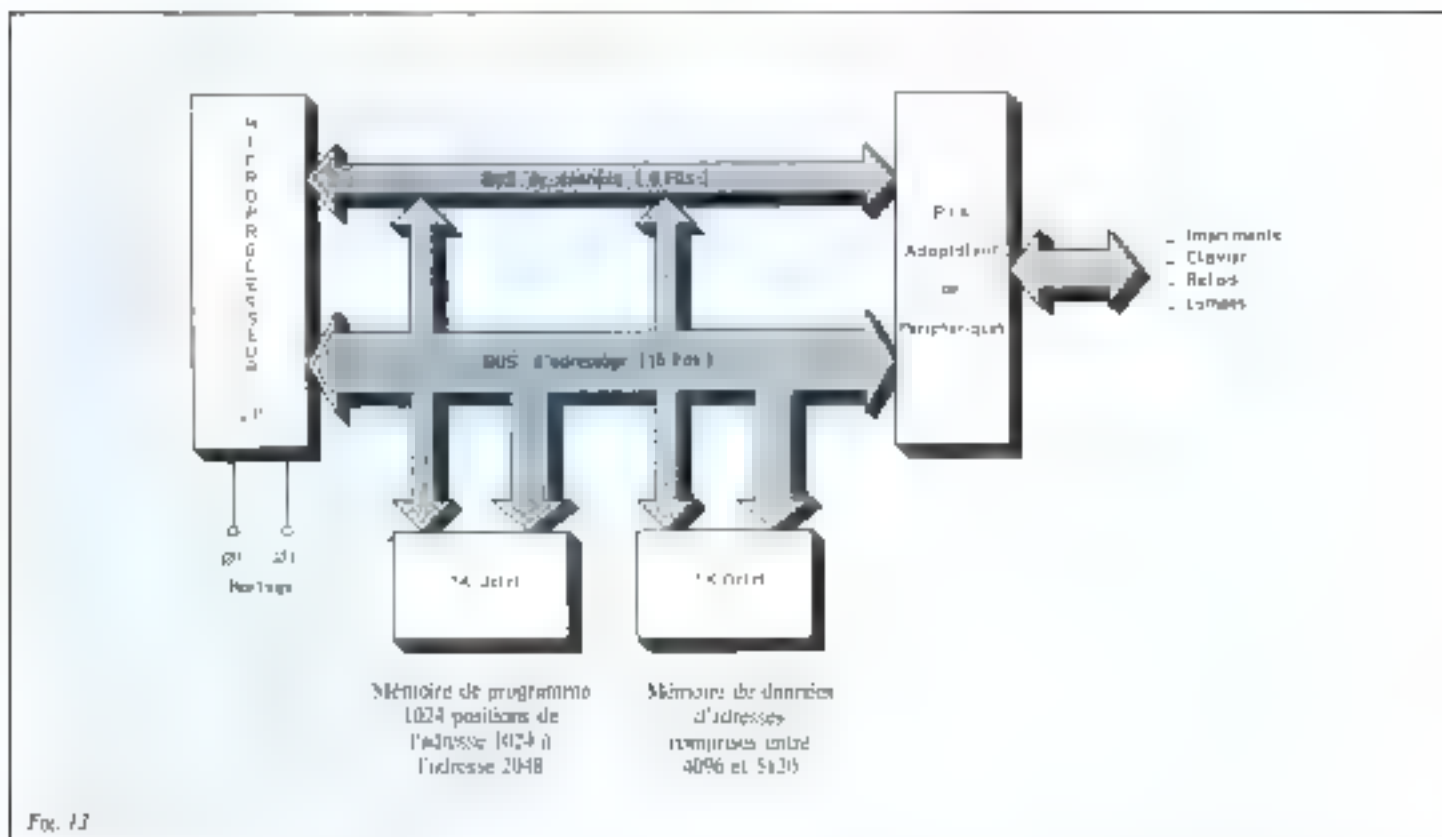


Fig. 13

Fig. 13 - Connexion d'un microprocesseur à une mémoire complète avec mémoire RAM, ROM et adaptateur de périphériques.

dante de la mémoire et le nombre 00000000 appliqué par le microprocesseur au bus de données est chargé à l'adresse 5000 de la mémoire.

Jusqu'à notre système peut fonctionner en circuit fermé mais ne peut échanger des informations avec le monde extérieur. Pour cela, le microprocesseur doit disposer d'un adaptateur de périphériques (figure 13).

Pour que l'explication soit plus claire, ne considérons que chaque fonction périphérique, comme les mémoires vives ou mortes, les interfaces d'entrée/sortie, etc., soit des unités distinctes. Dans le futur, il est probable que ces fonctions seront de plus en plus intégrées dans le même boîtier que le microprocesseur, mais cela ne changera rien aux principes de fonctionnement du système.

Structure interne du microprocesseur

Le microprocesseur contient un compteur ordinal qui détermine la séquence des instructions à exécuter

après traduction par le décodeur d'instructions.

La figure 14 illustre la structure du microprocesseur. Les organes internes sont l'unité arithmétique et logique (ALU*), la logique de commande et le décodeur d'instructions. D'autres fonctions internes, comme le pointeur de pile

d'accumulateurs et le registre de code de condition de l'ALU*, ne sont pas représentés car elles ne sont indispensables à la compréhension du fonctionnement du microprocesseur.

La figure 15 représente la structure interne d'un microprocesseur standard à huit bits.

Fig. 14 - Structure interne d'un microprocesseur.

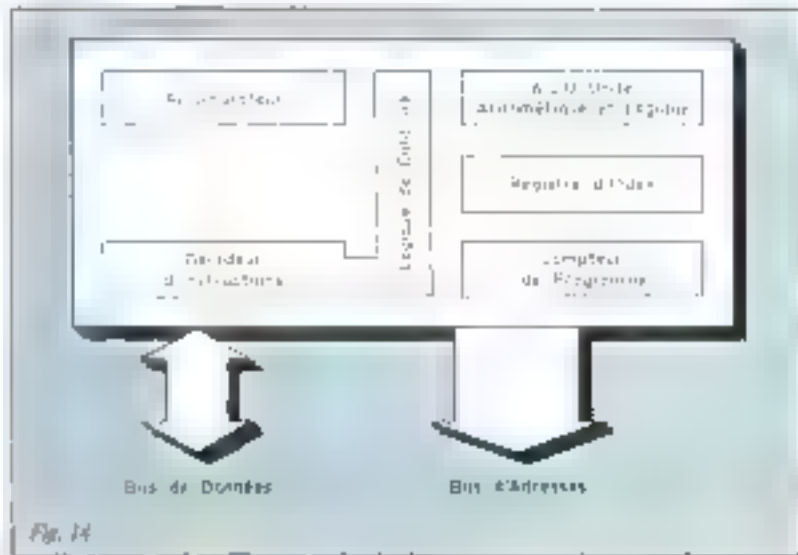


Fig. 14

* ALU = arithmétique et logique.

Le compteur ordinal est un registre de seize bits qui contient l'adresse de la prochaine instruction à exécuter.

Le décodeur d'instructions reconnaît le code binaire de chaque instruction et le convertit en ordres que la logique de commande utilise pour régler la circulation des données.

Les résultats fournis par l'unité arithmétique et logique sont rangés dans des accumulateurs car il n'est pas toujours souhaitable de les renvoyer dans la mémoire.

Comme son nom l'indique, l'unité arithmétique et logique exécute les opérations arithmétiques et logiques. Son chargement et l'acheminement des résultats sont commandés selon la séquence voulue par la logique de commande.

Le registre d'index est un registre à seize bits destiné à contenir une adresse soustraite utilisée.

Le compteur ordinal est également un registre à 16 bits qui contient l'adresse de la prochaine instruction à exécuter dans le programme.

Il existe plusieurs modes d'adressage qui peuvent être utilisés pour réduire la longueur du programme, la capacité de mémoire nécessaire et le temps d'exécution. Le mode d'adressage le plus simple, et le seul décrit jusqu'ici, est l'adressage direct qui consiste à utiliser les adresses four-

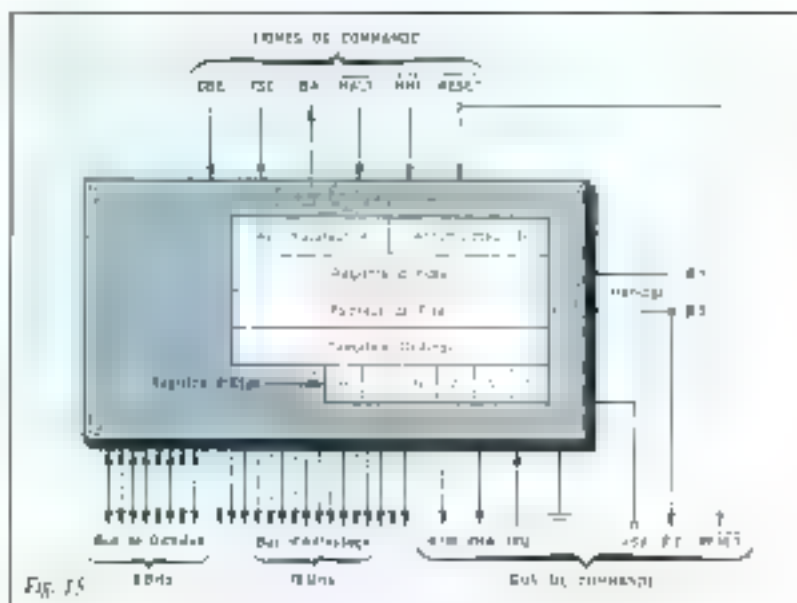


Fig. 15

Fig. 15. - Structure interne d'un microprocesseur standard de 8 bits : le 6801.

niés sur le bus d'adressage pour accéder directement à des données contenues dans les positions correspondantes de la mémoire. Une autre méthode est appelée « adressage indexé » et consiste à ajouter l'adresse du bus à une valeur particulière contenue dans le registre d'index, puis à utiliser l'adresse résultante pour accéder à la position désirée.

Un bon microprocesseur doit offrir plusieurs possibilités d'adressage. Les tableaux 3 et 4 donnent la liste des instructions d'un microprocesseur standard et les temps d'exécution correspondants en cycles machine pour les différents modes d'adressage autorisés.

Daniel GUEYSSAC *

TABLEAU 3

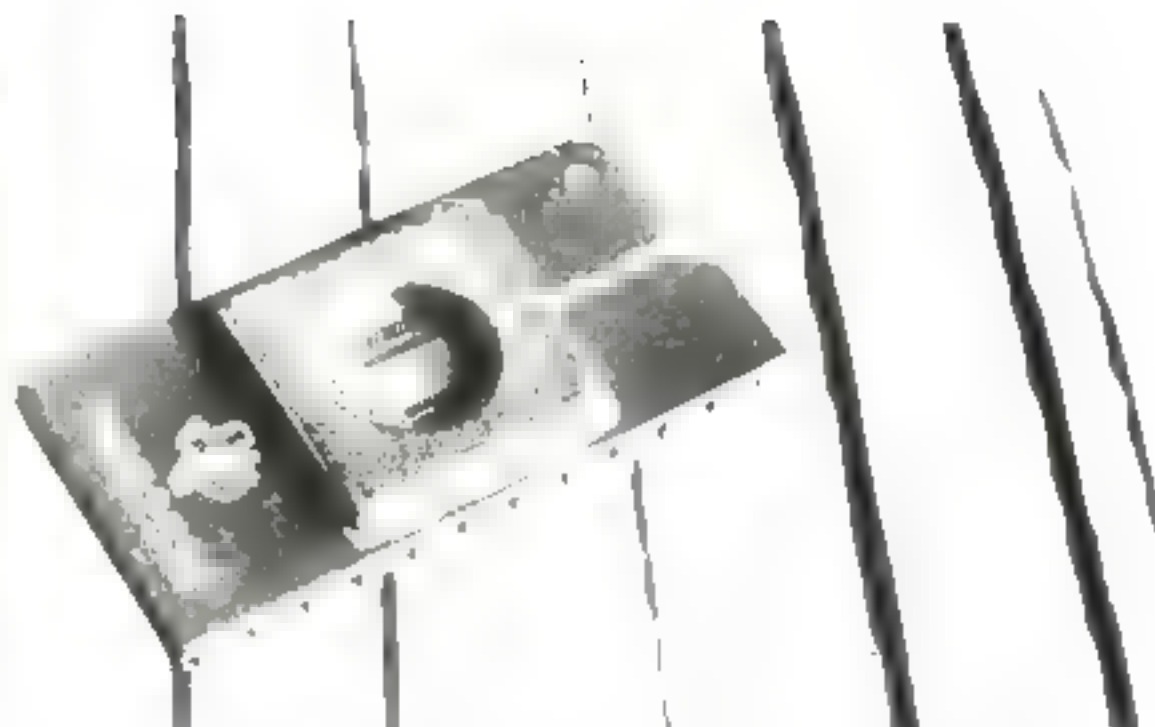
ABA — Addition de l'accumulateur B à l'accumulateur A	CDA — Comparaison des accumulateurs
ADC — Addition avec retenue	CLC — Mise à zéro du bit de retenue
ADD — Addition	CLI — Mise à zéro du masque d'interruption
AND — « ET » logique	CLR — Mise à zéro
ASL — Décalage arithmétique de un vers la gauche	CLV — Mise à zéro du bit de dépassement en complément à deux
ASR — Décalage arithmétique de un vers la droite	CMP — Comparaison
BCC — Branchement si il n'y a pas de retenue	COM — Complément à un
BCS — Branchement si il y a retenue	CPI — Comparaison du registre d'index
BEQ — Branchement si égal à zéro	DAA — Arrondissement décimal sur l'accumulateur A
BGE — Branchement si supérieur ou égal à zéro	DEC — Décrémenter
BGT — Branchement si plus grand que zéro	DEI — Décrémenter du pointeur de pile
BHI — Branchement si supérieur	DEX — Décrémenter du registre d'index
BIT — Test de bits	EOR — « OU » exclusif
BLE — Branchement si inférieur ou égal à zéro	INC — Incrémenter
BLS — Branchement si inférieur ou égal	INS — Incrémenter du pointeur de pile
BLT — Branchement si inférieur à zéro	INX — Incrémenter du registre d'index
BMI — Branchement si négatif	JMP — Saut inconditionnel
BNE — Branchement si non nul	JSR — Saut à un sous-programme
BPL — Branchement si positif ou nul	LDA — Chargement accumulateur
BRA — Branchement conditionnel	
BSR — Branchement à un sous-programme	
BVC — Branchement si prêt de dépassement	
BVS — Branchement si dépassement	

* Dans l'été 1978, au sein de l'équipe de Micrologie, au département pour l'Automatique.

LDS	= Chargement du pointeur de pile	SEV	= Mise à un du bit de dépassement et complément à deux
LDX	= Chargement du registre d'index	STA	= Mise en mémoire d'un accumulateur
LSR	= Décalage logique vers la droite d'une position	STB	= Mise en mémoire du pointeur de pile
NEG	= Complément à deux (opposé)	STX	= Mise en mémoire du registre d'index
NOJ	= Passage en séquence (non opératoire)	SUB	= Soustraction
ORA	= « OR » logique	SWI	= Interruption programmée
PSH	= Mise d'un octet dans la pile	TAB	= Transfert de l'accumulateur A dans l'accumulateur B
PUL	= Extraction d'un octet de la pile	TAP	= Transfert de l'accumulateur A dans le registre d'index
ROL	= Décalage circulaire à gauche	TBA	= Transfert de l'accumulateur A
ROR	= Décalage circulaire à droite	TPA	= Transfert du registre d'index dans l'accumulateur A
RTI	= Retour de séquence d'interruption	TST	= Test
RTS	= Retour de sous-programme	TSX	= Transfert du pointeur de pile dans le registre d'index
SBA	= Soustraction entre accumulateurs	TXS	= Transfert du registre d'index dans le pointeur de pile
SHL	= Décalage à gauche	WAI	= Attente d'interruption
SHR	= Décalage à droite		
SPL	= Mise à un de la retenue		
STP	= Mise à un du bit de dépassement		

	Opérations							Opérations						
	Accumulateur	Immédiat	Bit	Entier	Index	Pointeur	Relatif	Accumulateur	Immédiat	Bit	Entier	Index	Pointeur	Relatif
ABA														
ADC	x		2	3	4	5								
ADD	x		2	3	4	5								
AND	x		2	3	4	5								
ASL	?			6	7									
ASX	2			6	7									
BCC													4	
BES													4	
BEA													4	
BGE													4	
BGT													4	
BHI													4	
BHT	x		2	3	4	5								
BLE													4	
BLS													4	
BLT													4	
BMI													4	
BNE													4	
DPL													4	
DKA													4	
BSR													4	
BVL													4	
BVS													4	
CHA													2	
CLC													2	
CLI													2	
CLR	?			6	7									
CLV													2	
CMP	x		2	3	4	5								
COM		2			6	7								
CPX			3	4	5	6								
DAA													7	
DEC	?			6	7									
INB													4	
DEX													4	
FOR	x		2	3	4	5								
INC			2										4	
INS													4	
INX													4	
JMP												3	4	
JNR													9	8
LDA	x		2	3	4	5								
LDS			3	4	5	6								
LDX			3	4	5	6								
LSR	?												7	
NEG	?												7	
NOJ														2
ORA	x		2	3	4	5								
PSH													4	
PUL													4	
ROL	?												7	
ROR	?												7	
RTI														11
RTS														5
SBA														7
SHL	x		2	3	4	5								
SEC														2
SEI														2
SEV														2
STA	x				4	5	6							
STB					5	6	7							
STX					5	6	7							
SUB	x		2	3	4	5								
SWI														13
TAB														2
TAP														2
TBA														2
TPA														2
TST	?												7	
TSX													4	
TSX													4	
TSX													4	
WAI														9

Tableau 4. - Modes d'adressage et temps d'exécution (en nombre de cycles) relatifs des instructions.



Notre EPROM de 32 K bits est la première sur le marché.

• FONCTIONNEMENT ENTIEREMENT STATIQUE

La TMS 2532 n'a besoin d'aucun circuit d'horloge, ni d'aucun rafraichissement. Elle fonctionne sous une tension unique de 5 volts.

• FAIBLE CONSOMMATION

La TMS 2532 a quatre fois la capacité de la mémoire EPROM TMS 2708; sa consommation est inférieure à celle de la 2708.

• FACILITE DE PROGRAMMATION

Pour programmer la TMS 2532, un seul signal TTL suffit. On peut la programmer soit par octet, individuellement ou en séquence. Cette pro-

grammation peut être effectuée de façon aléatoire ou par blocs de mots de 8 bits. Les programmes actuellement disponibles le font sans problème.

• COMPATIBILITE AVEC LA ROM TMS 4732

Quand la programmation est termi-

née et que vous êtes prêt à passer au volume de production, vous pouvez facilement remplacer les mémoires EPROM par des mémoires mortes TMS 4732, programmées par masque en cours de fabrication. Les mémoires TMS 4732 et TMS 2532 sont compatibles broche à broche.

• LA GAMME DES MEMOIRES EPROM TEXAS INSTRUMENTS

TYPE	CAPACITE	ORGANISATION	ALIMENTATIONS	BOITIER
TMS 2708	8K	1K x 8	+12V, +5V	24
TMS 2716	16K	1K x 8	+12V, +5V	24
TMS 2732	32K	2K x 8	+12V, +5V	24
TMS 2532	32K	1K x 8	+5V	24

TEXAS INSTRUMENTS
FRANCE



06911 Colson France
P.O. Box 100
F-92000 Nanterre

92200 Les Brosses Industries
de France
P.O. Box 100
F-92000 Nanterre

93001 Lagny
P.O. Box 100
F-93001 Lagny

13000 Remus
Centre de France
F-13000 Remus

11000 Toulouse
F. 11000
100 Avenue de France
F-31000 Toulouse

15200 Moulins
F. 15200 Moulins
F-15200 Moulins

51001 Epaves d'Alsace
F. 51001 Epaves d'Alsace
F-51001 Epaves d'Alsace

COUPON REPONSE

NOM
SOCIETE
SERVIRE

ADRESSE
Téléphone

Je desire recevoir la documentation
relative aux mémoires EPROM

TMS 2532 TMS 2708
TMS 2716 TMS 2732

Etude d'un générateur de fonctions à microprocesseur

Il n'y a pas une seule forme d'onde qui ne puisse être réalisée par ce générateur de fonctions.

Chaque période peut être programmée selon un schéma quelconque : 256 pas en amplitude, issus d'un convertisseur digital-analogique à 8 bits et autant de points différents qu'on le souhaite dans le temps.

Il peut générer une seule période, en mono-coup, des périodes répétitives, ou être synchronisé sur une impulsion de commande et, dans ce cas, synthétiser, par exemple, un son pré-programmé dans un haut-parleur.

L'image de la forme d'onde issue de ce générateur sur l'écran d'un oscilloscope permet l'identification d'une portion-mémoire, pour la reconnaissance d'un programme microprocesseur particulier. Le mot est lancé, ces qualités sont liées à l'emploi d'un microprocesseur ou d'un système d'évaluation quelconque.

Tableau d'adresse partie en mémoire d'origine, avec en mémoire d'adresse, les données binaires qui, par leur adresse, ont permis d'être écrits.

Principe

La figure 1 représente une mémoire dont on vide le contenu binaire dans un convertisseur digital-analogique. En fonction de la valeur binaire de chaque mot-mémoire (adresse par un registre ou tout simplement par un compteur), on obtient une amplitude proportionnelle du signal de sortie.

Si, par exemple, la mémoire contient une suite arithmétique de raison 1, le signal de sortie aura la forme d'une rampe croissante de 0 à 255, après quoi elle retombe au niveau 0 car le convertisseur ne peut traduire que 8 bits (D₇-D₀).

Ainsi, la mémoire génère des signaux en dent de scie. Chaque incrémentation (+1) de la rampe correspondra à un pas d'horloge ou la fréquence de répétition du signal sera égale à

$$\text{Fréquence du signal} = \frac{\text{Fréquence d'horloge}}{256}$$

La dent de scie ne demande pas, à proprement parler, une mémoire mais plutôt un algorithme d'incrémentatation ou même un simple additionneur (fig. 2). Plus adaptée aux fonctions complexes, la mémoire peut stocker une ou plusieurs périodes d'un signal sophistiqué, la synthèse d'un phonème, d'un mot ou d'une phrase musicale.

L'inconvénient de ces circuits de « lecture » est dû au fait que le

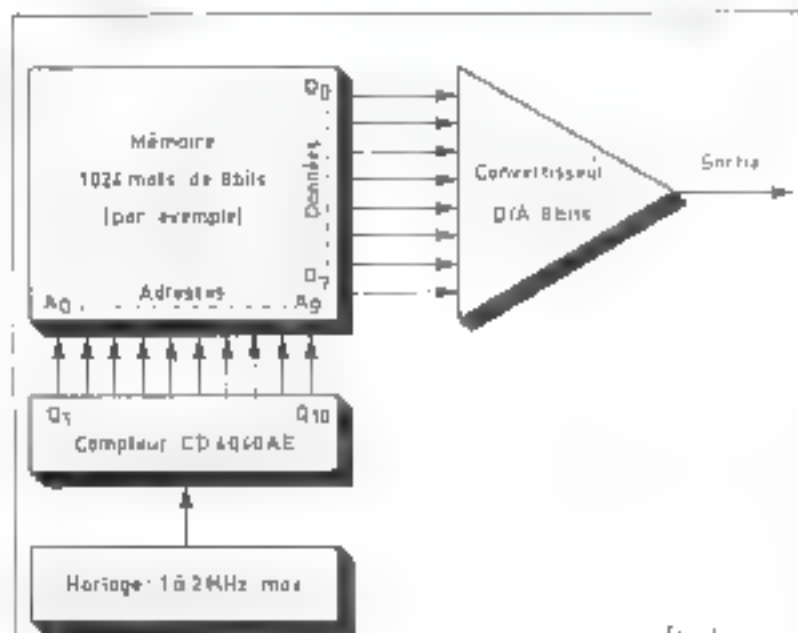


Fig. 1

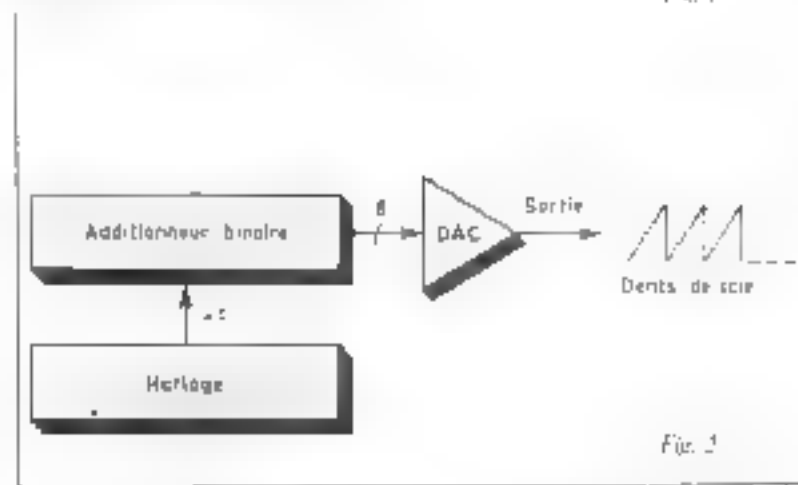


Fig. 2

Fig. 1 - La mémoire, adressée par le compteur, a été remplie avec des données binaires qui, par leur adresse, ont permis d'être écrits.

Fig. 2 - Un simple additionneur, au lieu d'une mémoire, peut générer un signal d'horloge, comme un élément de dent de scie.

contenu de la mémoire reste figé. Sur un haut-parleur on obtient toujours les mêmes sons et sur un oscilloscope la même forme d'onde. Le convertisseur digital-analogique rend des services bien plus importants lorsqu'un microprocesseur est utilisé.

Dans ce cas, il y a deux manières de générer des formes d'ondes, selon la fréquence de répétition à atteindre.

1 - La méthode algorithmique

Le convertisseur digital-analogique est connecté sur les lignes d'adresses de faible poids (A_7 , A_6 , ...). Un programme parcourt selon des boucles judicieusement choisies dans la sortie une forme d'onde correspondant aux adresses de chaque instruction (fig. 3). Par exemple, une suite d'instructions NOP (no-operation ou «rien à faire») se terminant par un branchement en boucle, produit une même dent de scie à condition de relier le convertisseur sur les huit premiers fils d'adresse.

Les programmes à plusieurs boucles créent des formes d'onde différentes pouvant être choisies de nombreuses manières.

La cadence de sortie des points est celle du bus-adresses du microprocesseur, inhomogène parfois, car toutes les instructions ne nécessitent pas l'accès au bus durant plusieurs cycles d'horloge. Toutefois, elle peut être entièrement contrôlée par un programme judicieux.

2 - Utilisation d'un coupleur d'entrée-sortie

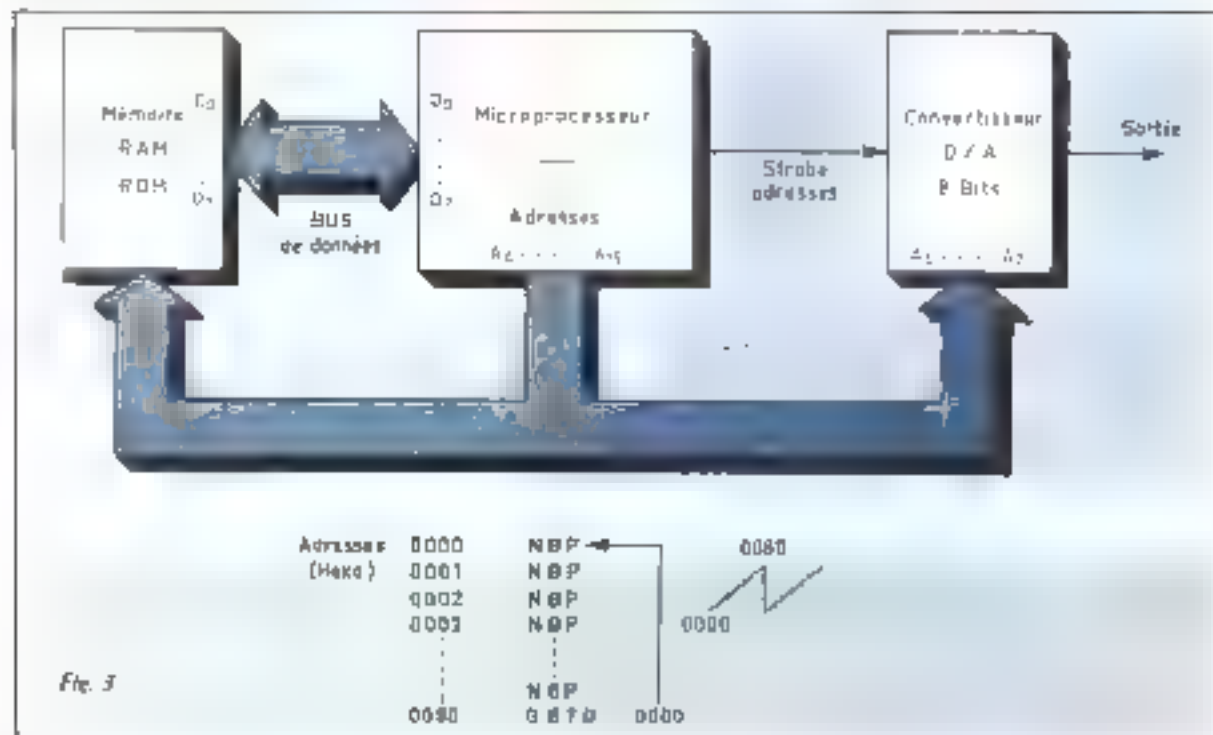
Un coupleur est généralement un boîtier qui fait partie de la famille de tel ou tel microprocesseur, au même titre que l'unité centrale ou les mémoires. Il intègre quelques registres qui, comme tant d'autres (bits-mémoire), sont adressables par quelques fils d'adresse et des fils de validation (chip select).

La particularité des bits-mémoire dans un coupleur est la possibilité d'accès direct aux bits d'entrée/sortie. Les 8 bits sont connectés à des broches en sortie et peuvent être lus ou même écrits de l'extérieur. Pour décider de la lecture ou écriture, le boîtier-coupleur «PIA» chez Motorola, «PIO» chez Zilog, «PII», etc., voulant signifier Parallel Interface, possède d'autres registres ou bits-mémoire dont les

données sur 8 bits décident du sens de lecture ou d'écriture à donner aux 8 broches situées sur le boîtier qui constituent ce qu'on appelle un «port parallèle». Tel est donc, résumé, le rôle d'un coupleur d'entrée/sortie. Pour générer des fonctions à l'aide d'un convertisseur digital-analogique, il suffit de «programmer» en sortie un port de 8 bits et de le relier aux entrées digitales du convertisseur.

Cette programmation se fera en chargeant des «1» dans tous les bits du registre qui décide de la direction des données sur le port qu'on va utiliser (si «1» signifie bit en sortie). Par la suite il suffira d'utiliser le mot-mémoire qui est relié bit par bit au convertisseur D/A et d'y inscrire toute donnée en 8 bits que l'on désire générer sous forme analogique à la sortie. Une succession d'inscriptions fera apparaître une variation de tension analogique et une forme d'onde (fig. 4). Tant qu'on ne modifie pas le contenu du mot-mémoire qui fait office de port de sortie, il garde la même configuration binaire et

Fig. 4 - Les adresses présentes sur le bus d'adresses sont lus par le microprocesseur. Le convertisseur délivre un signal proportionnel à l'adresse indiquée par le microprocesseur.



une tension constante dans le temps sortira du convertisseur D/A.

Dispositif expérimental

Deux solutions peuvent en être retenues en ce qui concerne le choix du convertisseur digital-analogique. Utiliser un convertisseur commercialisé comme le DAC 08 de PMI par exemple (fig. 5). L'alimentation du convertisseur est bipolaire, +5V et -5V (-15V pour la tension négative). La constitution du DAC 08 est indiquée figure 6.

Si une grande précision n'est pas recherchée, il est toujours possible de réaliser un convertisseur D-A à l'aide d'un réseau de résistances. Le DAC 08 lui-même en possède un. Les 8 bits d'entrée pilotent autant de commutateurs de courant d'un réseau R/2. Les résistances de ce réseau ont été ajustées au laser. De leur précision dépend la précision de la conversion toute entière. Comme on le constate dans l'exposé sur les divers réseaux de résistances utilisés dans la conversion digitale-analogique, un réseau R/2 R peut être réalisé très facilement en composants discrets. Il suffit de tracer un lot de résistances de même valeur à moins de 1% près et de constituer le réseau de la figure 7.

Nous cités propositions un convertisseur de 7 bits au lieu de 8, car il faudrait dans ce cas tracer des résistances précises au 1/256 près au lieu du 1/255 soit le 1% environ pour le 7 bits. Même remarque pour les niveaux des tensions d'entrée-P.A.-P.A. (voir du coupleur d'entrée-sortie).

Lorsque l'on visualise en 7 bits une mémoire de 8 bits il y a une cassure des courbes comme le montre la figure 7. En conséquence, les programmes qui chargent les mots dans le coupleur d'entrée-sortie devront procéder éventuellement à un décalage arithmétique à droite de chaque mot de 8 bits (0 à 0) dans l'ordre de les visualiser entièrement.

Examinons maintenant les moyens de produire quelques fonctions de base.

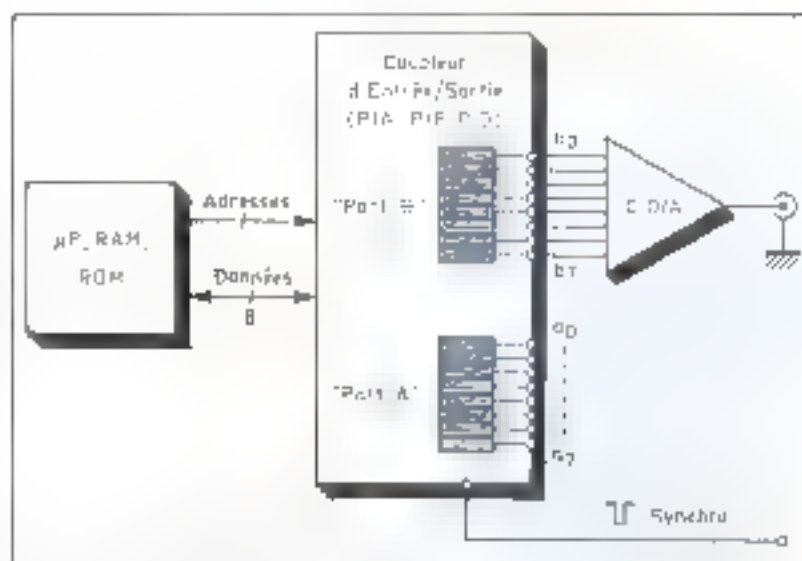


Fig. 4 - La logique d'entrées/sortie est programmée en sortie. La sortie du coupleur B est codée bit à bit au convertisseur digital-analogique.

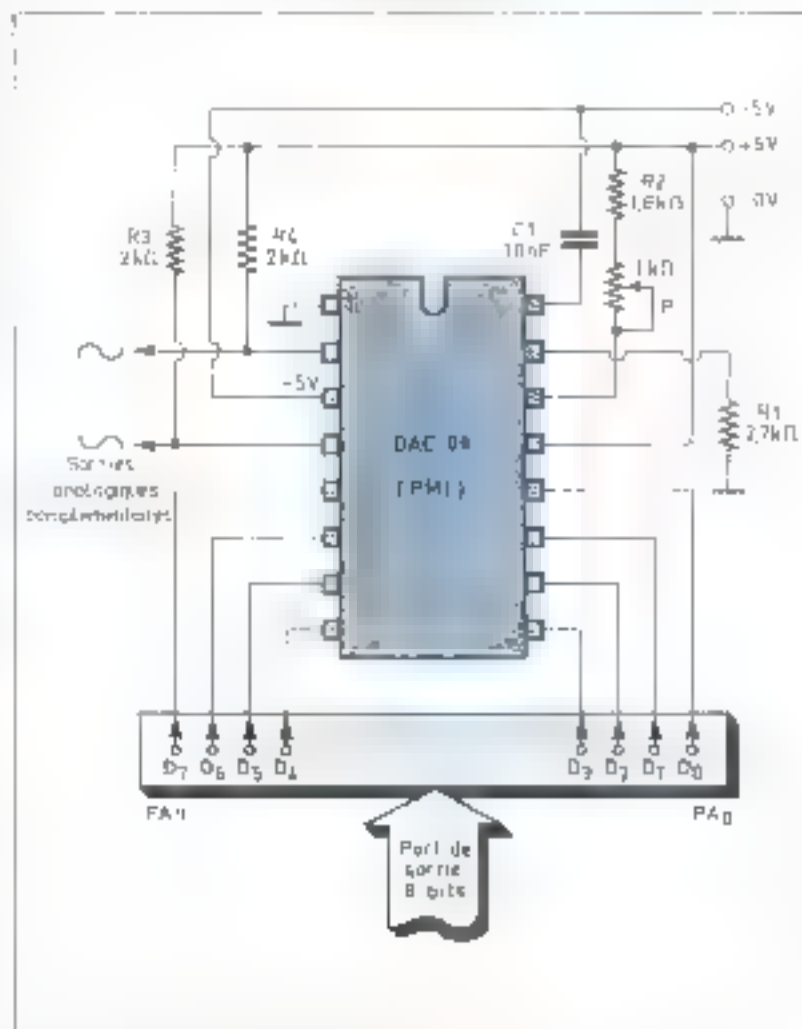


Fig. 5 - La conversion digitale-analogique peut être réalisée à l'aide du DAC 08 de PMI (Precision Monolithic).

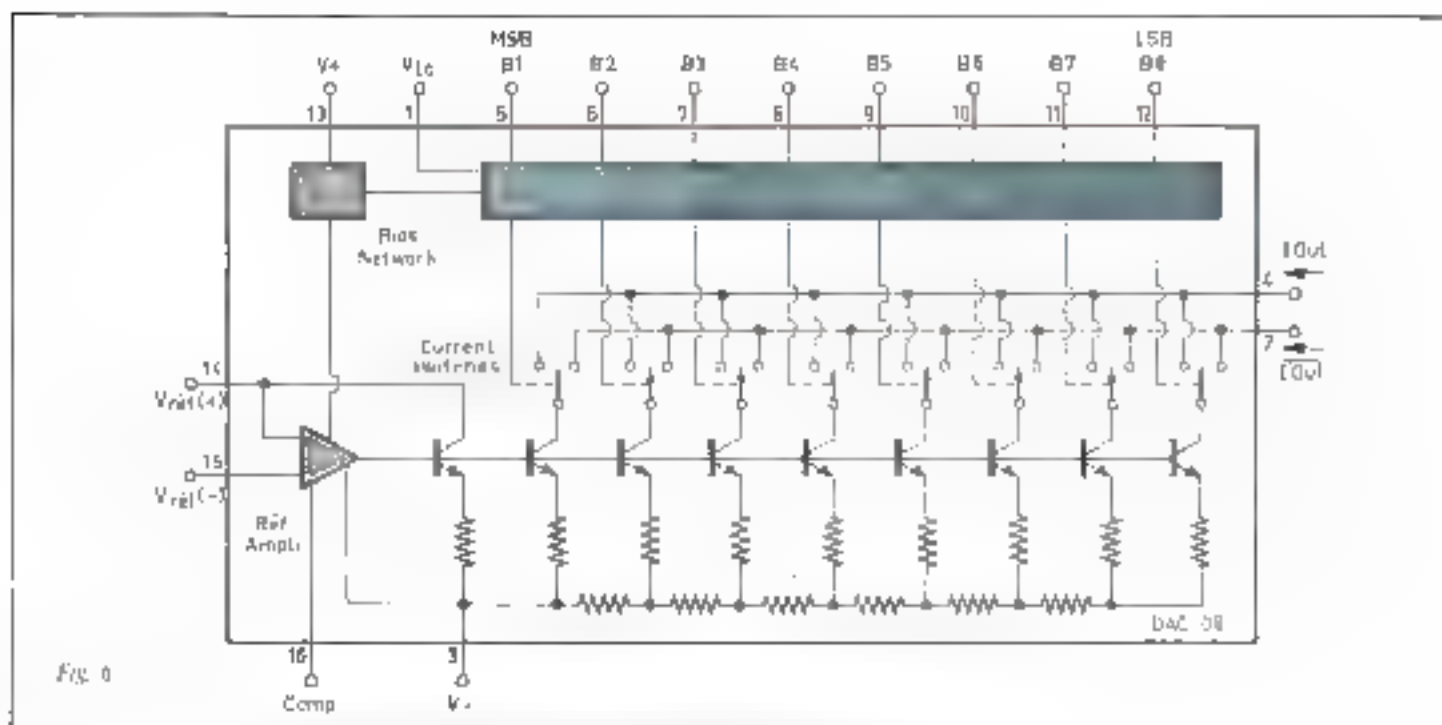


Fig. 0

Fig. 0 - Conception du DAC-08 convertisseur digital-analogique de 8 bits. Les résistances de tirage R_1 , R_2 ont une valeur au choix.

Fig. 1 - Conception d'un convertisseur R/R. Une valeur de R_1 est choisie pour le calcul des autres valeurs de R_i à un niveau de 1/2.

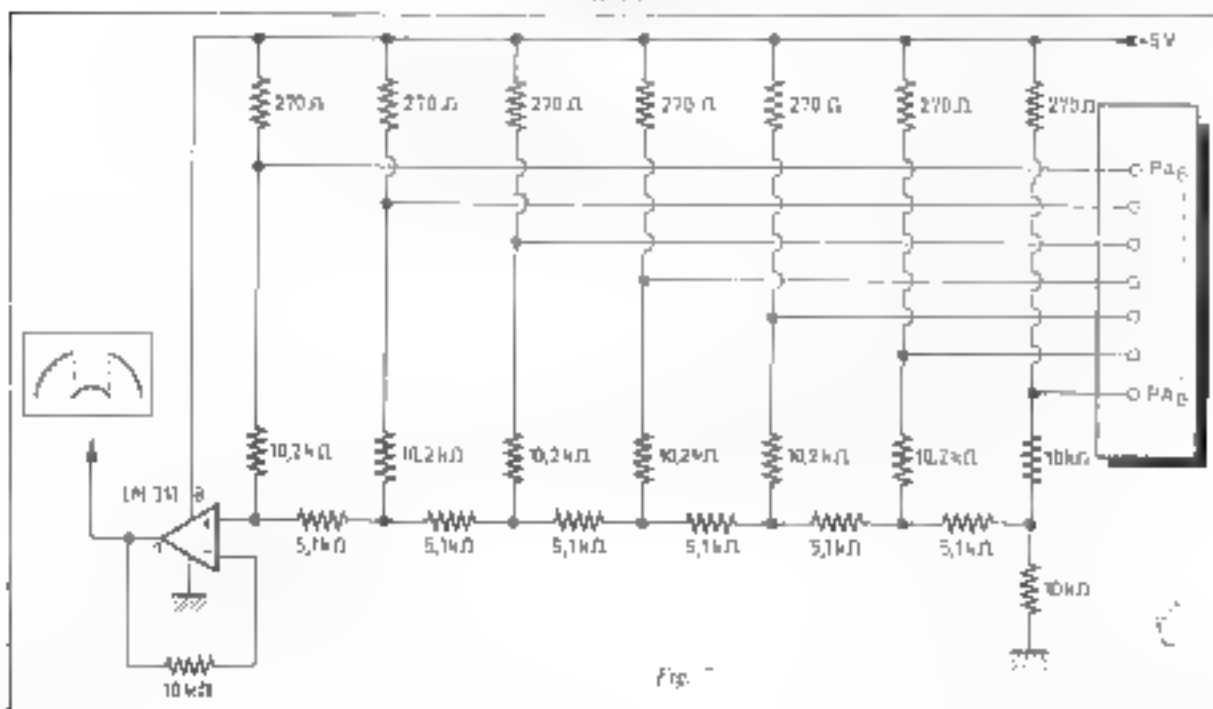


Fig. 1

Générateur de dent de scie

Reprenons à titre indicatif l'exemple de la dent de scie. Quel que soit le type de convertisseur utilisé, une dent de scie s'obtient par incrémentation (ou décrémentation) interrompue du mot-mémoire correspondant au port de sortie du coupleur. Le contenu de ce mot va croître de 00 jusqu'à FF (en hexadécimal), après quoi il repartira de 00 (fig. 8).

La photo 1 représente une dent de scie obtenue à la sortie du montage de la figure 5. Le microprocesseur est un 6801, ayant une PLA à l'adresse 8006, le programme est celui du tableau 1. Le vue agrandie de la dent de scie met en évidence sa structure en échelons (photo 2).

Génération de triangles

Ici, il faut tester le passage par FF du mot-mémoire que représente le registre de sortie du coupleur en changeant l'incrémententation en une décrémentation. Lorsque le niveau atteint zéro, le registre est à nouveau incrémente (fig. 9). Cet organigramme traité par le même microprocesseur que précédemment donne les triangles de la photo 3.

Les « curiosités » du programme de triangles (tableau 2), comme par exemple la comparaison immédiate du contenu de l'accumulateur A avec zéro (CMPA \neq 00) ainsi que la portion de boucle d'incrémententation qui suit, terminant par un branchement, ont pour but de rendre les triangles parfaitement symétriques. Le temps que met le microprocesseur pour exécuter diverses instructions doit être rigoureusement le même, qu'il s'agisse de la montée ou de la descente.

« Auto-portrait »

La photo titre représente « l'image » d'une portion de mémoire RAM ou ROM vidée dans le coupleur (PIA) d'entrée-sortie.

■. précédemment, on obtenait une fonction par algorithme, cette fois-ci elle reflète fidèlement le

Photo 1. - Une dent de scie générée indépendamment par programme.

Photo 2. - Vue agrandie de la dent de scie. Remarque sa structure en échelons.

Photo 3. - Sortie d'un signal accumulé par incrémentation et décrémentation successives dans le coupleur de programme.

Photo 1

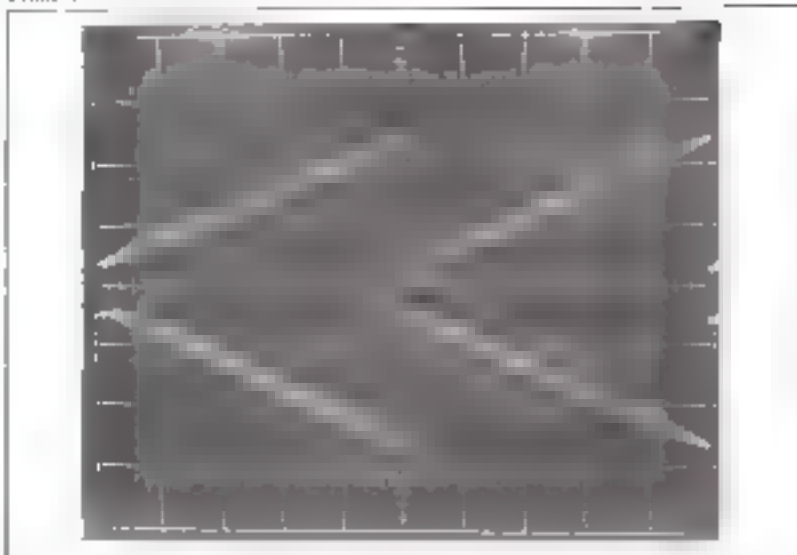


Photo 2

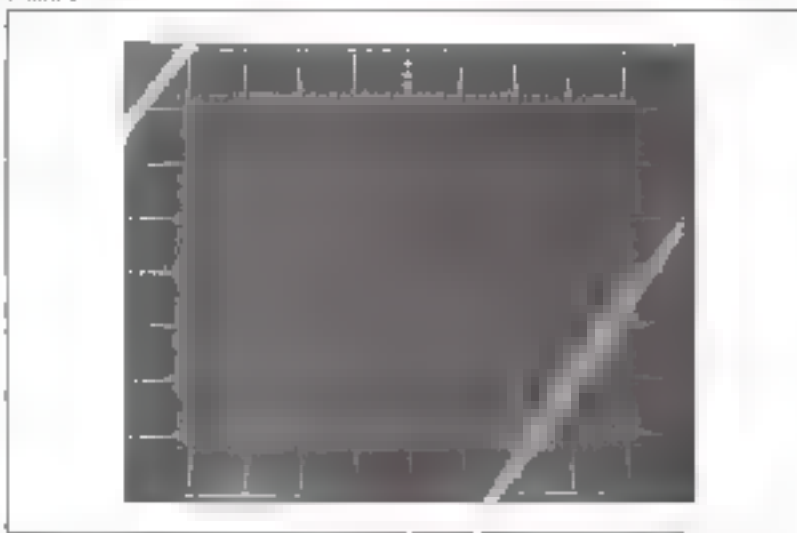
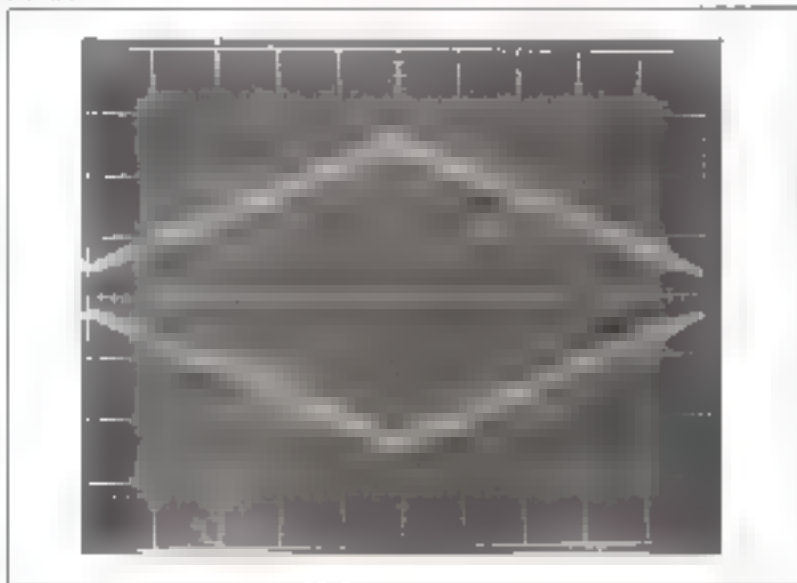


Photo 3



Il est possible de visualiser une portion mémoire par transfert de chaque mot dans un convertisseur digitale-analogique.

Tableau 1 - Initialisation PIA et programme de décalage de bits

		*Initialisation PIA	
0000	CE 0008	LDX #0008	Adresse-PIA
0003	4F	CLRA	
0004	A7 01	STAA 1,X	
0005	63	COMA	
0007	A7 00	STAA 0	
0009	86 34	LDAA #00110100	
000A	A7 01	STAA 1,X	
000F	4F	CLRA	
*Programme de décalage de bits			
000E	A7 00	STAA #	
0010	4C	JNCA	Incrémentation de 4
0011	70 F8	BRW BCLG	

Tableau 2 - Programme d'une fonction triangulaire

		*Variante - triangle. Même Initialisation,	
000E	08	MNTE	TNE
000F	A6 00	LDAA X	
0011	01 FF	COMA # FF	
0013	26 F9	BNE MNTE	
0015	00	OSOND	JEF
0016	A6 00	LDAA X	
0018	01 00	COMA # 0	
001A	26 F9	BNE OSOND	
001C	00	TNE	
001d	A6 00	LDAA X	
001F	01 FF	COMA # FF	
0021	26 F9	BNE MNTE	
		END	

Tableau 3 - Initialisation PIA et programme de visualisation dans zone mémoire

		*Initialisation de la PIA	
0000	CE 0008	LDX #0008	Adresse PIA
0003	4F	CLRA	
0004	A7 01	STAA 1,X	
0005	63	COMA	
0007	A7 00	STAA 0	
0009	86 34	LDAA #00110100	
000A	A7 01	STAA 1,X	
*Programme de gen. de fractus quelconques			
000F	CE 0000	LDX #0	Adresse zone mémoire
0010	A6 00	LDAA X	
0012	B7 000E	STAA #000E	
0015	08	END	
0018	8C 0100	CPE #0100	adresse-fin zone, valeur
0019	26 F8	BNE BCLG	
001B	70 F8	BRW VISU	
		END	

contenu d'une mémoire.

Sur un 6800, en choisissant une zone mémoire dont le début est pointé par le registre X, on peut balayer cette zone en envoyant chaque mot dans le PIA de conversion. Par bouclage « y » même « rafraîchissement » de l'écran et des images stables apparaîtront si la zone mémoire à visualiser ne dépasse pas 100 H ou 200 H mots. Dans tous les cas, il faut réussir plus de 25 balayages par seconde, de la mémoire en question, pour éviter le scintillement.

L'organigramme qui est à la base du programme, présenté sur la figure 10, utilise certaines nota-

tions tenant du formalisme des modes d'adressage. Ainsi « (MEM. X) » signifie : « le contenu du mot mémoire situé à l'adresse qui suit celle par l'addition de MEM, une valeur hexadécimale et X, le contenu du registre d'index ».

Si l'on recommence indéfiniment le balayage de la zone mémoire, il sera difficile de distinguer le début de la fin de la zone à visualiser. Sur la photo 4 nous avons fait « place nette », en inscrivant quelques zéros, ce qui permet de bien localiser le programme. Cette fois-ci la zone à visualiser, se terminant par ces

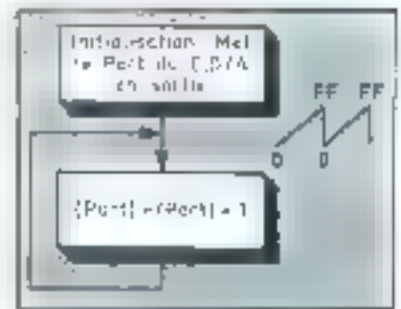


Fig. 8 - Organigramme de réalisation d'une dent de saw. Le contenu du mot mémoire présent dans le port de sortie est incrémenté.

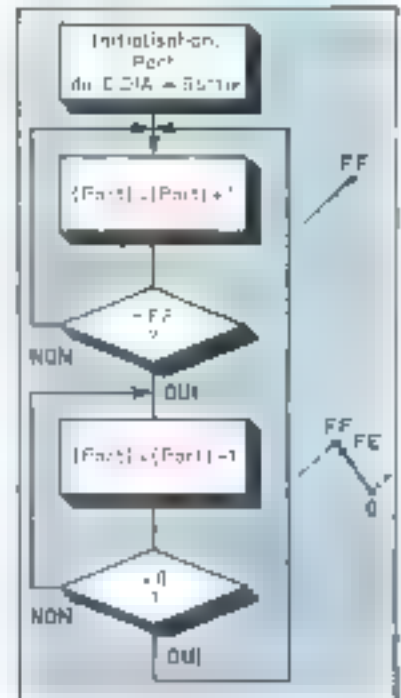


Fig. 9 - Organigramme de génération d'un signal triangulaire.

quelques mots à zéro n'a d'autre vocation que de présenter le programme lui-même. Ce n'est plus une forme d'onde qu'on fabrique ou un signal, mais une image, le portrait d'un programme, facile à retenir et à reconnaître parmi d'autres images. On parle d'auto-portrait car c'est l'image du programme de visualisation lui-même, suivi de zéros.

Pour un 6800 dans un kit MK2, le programme est indiqué tableau 3.

Synchronisation

L'image que l'on obtient sur un oscilloscope, en visualisant une

Fig. 10. - Organisation de la zone mémoire de « contenu adressement mémoire ».



forme d'onde plus ou moins sophistiquée, n'est, généralement, pas stable. Pour un synchronisme parfait, à chaque lin de balayage de la zone-mémoire, nous allons créer, par la sortie CB₂ du même port d'entrée-sortie, une impulsion de synchronisation, que l'on observe sur le tracé inférieur de la photo 10.

Le programme de synchronisation demande alors quelques mots binaires de plus :

001B	86	3C	
001D	CE	80	06
0020	A7	01	
0022	20	E5	

Génération de fonction quelconque

Cela est très simple de remplir la zone-mémoire d'un contenu plus ou moins « graphique » et de le balayer ensuite. Nombre de programmeur de fours ou d'asser-

vissements à consigne variable dans l'industrie utilisent les procédés les plus rustiques que l'on puisse imaginer pour aboutir à des résultats aussi simples que les nôtres.

La mémoire d'écran étant chargée aux adresses 0100 et 0130, voici par exemple, photos 5 et 6, quelques formes d'onde entièrement numérique. La photo 5 rappelle un oscillateur à relaxation, le caractère purement artificiel de la photo 6 n'est plus à prouver. Cette fonction est le résultat d'une visualisation de 0, 1, 2, 3, 4, 10, 11, 11, 30, 00, 00, FF, FF, 00, 00, FF, FF, 00, 00, 08, 08, 08 (soit 30 mots).

Si on change 08, 08, 08 par 50, 50, 50 dans les trois derniers mots mémoire à visualiser, on obtient la photo 7. Le dernier pulser est à mi-hauteur du maximum car 80 H est la moitié de FF H. Ce contenu digital représente donc une « dent de scie » suivie de trois éteneaux. ■

Photo 4 Photo 5

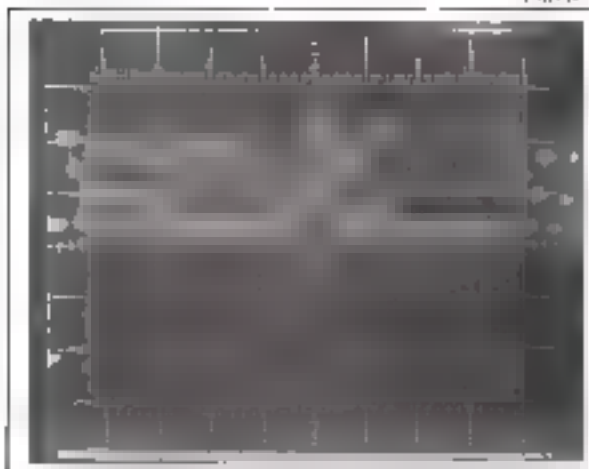


Photo 6 Photo 7

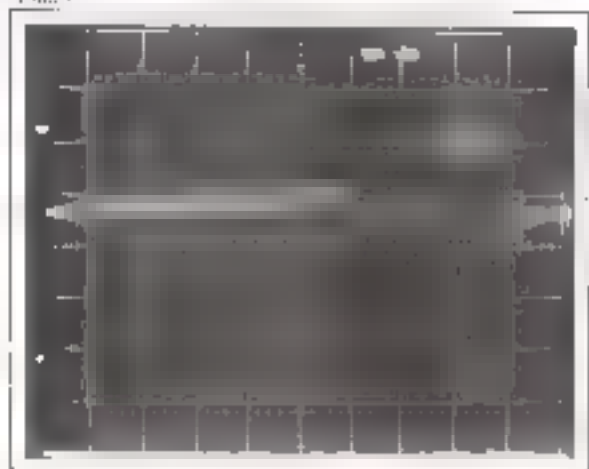
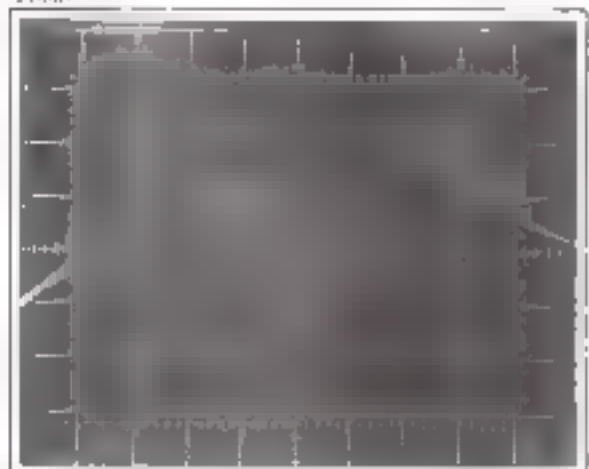


Photo 4. - Image d'une zone mémoire. La position à tout instant de l'adresse de lecture le début et la fin de programme.

Photo 5, 6, 7. - Génération de fonctions quelconques.

Les réseaux de résistances dans la conversion digitale-analogique

a) Résistances en rapport 1, 2, 4, 8, en commutation de courant

Si une tension de référence commune V_{ref} attaque les bases de transistors-générateurs de courant de la **figure a** et si leurs résistances d'émetteur sont très précisément dans le rapport 1, 2, 4, 8, on obtiendra un même rapport entre les courants qui seront commutés. Le courant total I a une valeur pouvant s'exprimer en binaire selon la formule :

$$I = (b_1 \cdot 2^1 + b_2 \cdot 2^2 + b_3 \cdot 2^3 + b_4 \cdot 2^4) I_0$$

b_i est une valeur binaire ($= 0$ ou 1) ; $I_0 = \frac{V_{ref}}{8R}$

La tension V_s dépasse légèrement la tension V_{ref} , pour éviter la saturation des transistors commutateurs V_{ref} , composée de U_{BE} et de la chute de tension aux bornes de chaque résistance, doit être non seulement stabilisée, mais sa dérive en température doit suivre celle des tensions base-émetteur des transistors (U_{BE}).

b) Résistances 1, 2, 4, 8 en commutation de tension

La **figure b** représente des résistances en échelle 1, 2, 4, 8... attaquant le sommateur d'un amplificateur opérationnel. La tension de sortie sera ici de la forme :

$$V_s = -8R \cdot V_{ref} \left(\frac{b_1}{R} + \frac{b_2}{2R} + \frac{b_3}{4R} + \frac{b_4}{8R} \right)$$

$$\text{ou } V_s = -V_{ref} (b_1 \cdot 2^1 + b_2 \cdot 2^2 + b_3 \cdot 2^3 + b_4 \cdot 2^4)$$

Le **facteur d'échelle** (tension de sortie par bit) se règle par la résistance de contre-réaction de l'amplificateur opérationnel. A la différence des commutateurs précédents, il est nécessaire que leurs résistances de contact soient aussi faibles que possible, car ils commutent des tensions.

Désavantage commun à ces deux schémas : nécessité d'un ajustage très précis d'un rapport qui n'est pas courant dans les échelles de résistances. Il faut descendre dans les précisions inférieures au 1 % pour retrouver 1 k Ω , 2 k Ω , 4 k Ω , 8 k Ω , par exemple.

c) Réseau R/2R à commutation de tension

Il est de loin plus facile d'obtenir des grandes séries de résistances très précises, de rapport double. Dans un lot de résistances à 5 ou 10 % on trouve aisément des valeurs décalées d'autant de la valeur nominale mais égales entre elles.

La **figure c** montre le schéma d'un réseau R/2R à commutation de tensions. Si précédemment la simple intuition suffisait pour comprendre le fonctionnement, il faut maintenant recourir à l'exemple d'un réseau R/2R à deux bits pour en saisir le principe (fig. c.1).

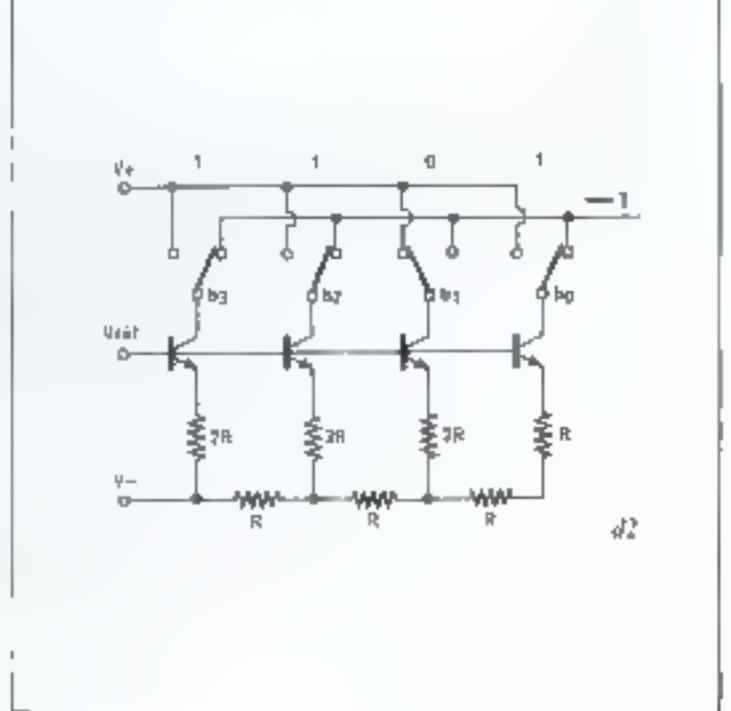
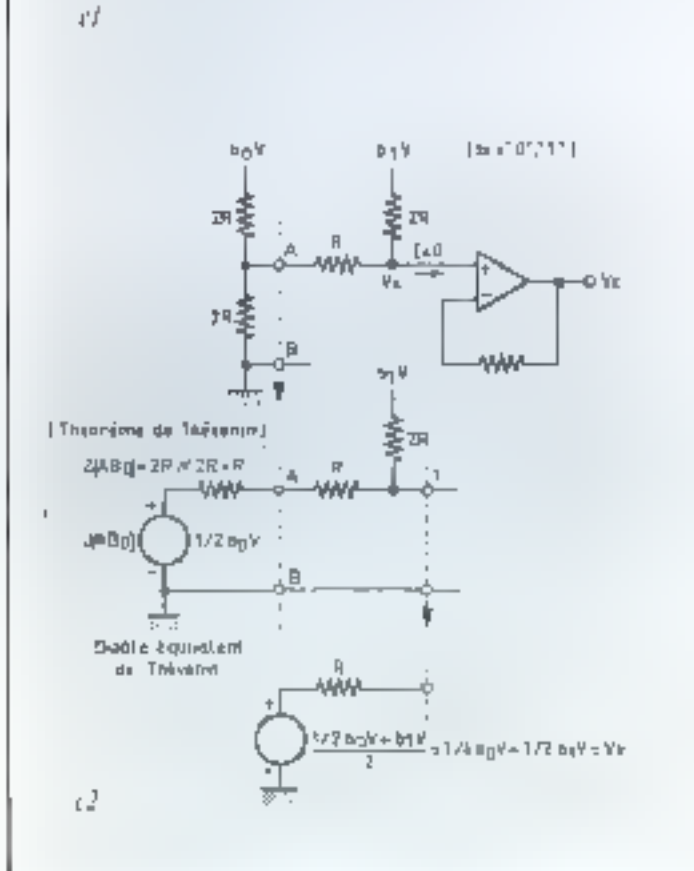
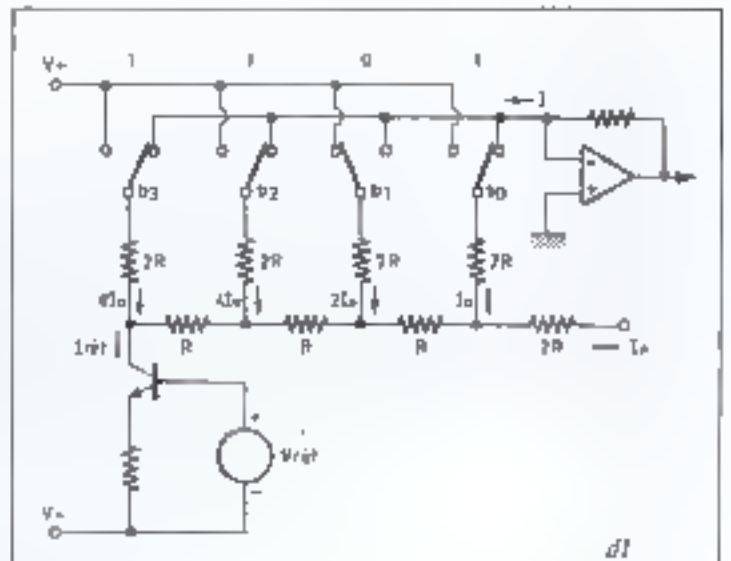
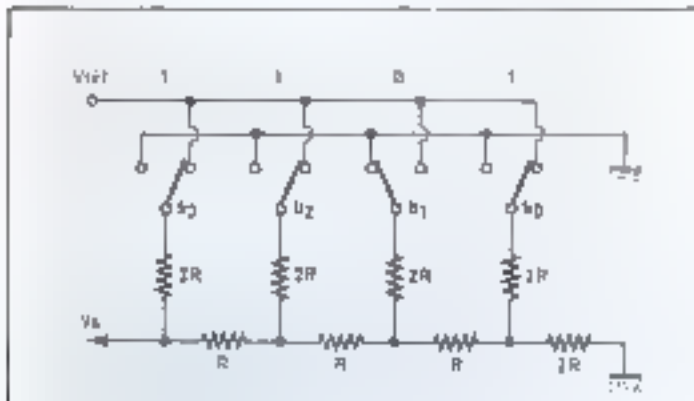
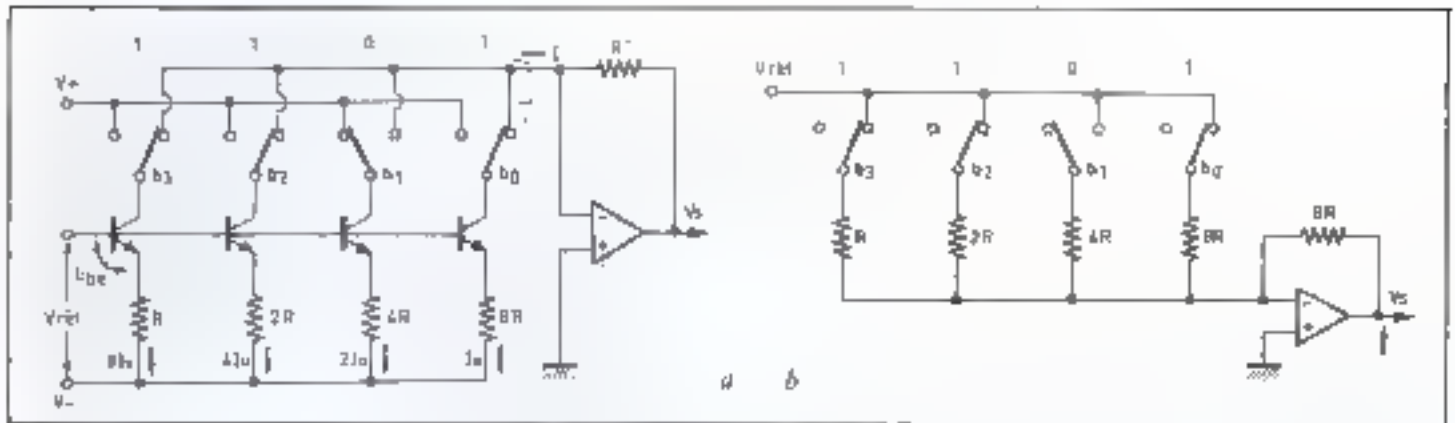
Les résistances 2R de ce réseau sont reliées à « b.V ». Si le bit est à zéro on aura 0 V, la masse, sinon V utilis.

Pour calculer la tension de sortie de ce réseau (V_s), on procède à deux coupes du circuit selon les théorèmes de Norton et Thévenin. A chaque coupe on constate que la résistance interne de la partie coupée « Z_{int} » est toujours égale à R, ce qui rappelle bien entendu les atténuateurs calibrés en cascade. La tension « U_{the} » prend, quant à elle, des valeurs-combinaisons binaires de la tension de référence V. Dans l'exemple choisi, b₁ intervient avec un poids double de celui de b₂ et si l'on continuait, le résultat se répéterait pour b₃ et b₄.

d) Réseau R/2R à commutation de courants

C'est le plus intéressant. Les commutateurs de l'exemple précédent commutent des tensions, ce qui rend leur résistance interne critique. Lorsque la commutation se fait en courant, **figures d.1 et d.2**, les quelques ohms des commutateurs, s'ils sortent du type C.MOS, bon marché, n'ont plus aucune importance, en série avec l'impédance interne de la source de courant à commuter qui dépasse la dizaine de Mohms ($10^7 \Omega$).

On distingue deux variantes, **figure d.1** et **figure d.2**, selon qu'il s'agit d'une seule source de courant I_{ref} , commune, ou de plusieurs sources. Les résistances 2R, dans une réalisation discrète peuvent s'obtenir par la mise en série de deux résistances R, égales, ce qui simplifie énormément le choix des valeurs.



Les cartes 990 de Texas Instruments: des atouts maîtres dans votre jeu.

Comptez les cartes TMS990 de Texas Instruments, les atouts maîtres dans votre jeu sur ordinateur. Les cartes TMS990 de Texas Instruments offrent la performance et la flexibilité d'un jeu de cartes professionnel, et sont compatibles avec les cartes TMS990 de Texas Instruments.

Vous pouvez jouer avec les cartes TMS990 de Texas Instruments dans un jeu de cartes professionnel, et vous pouvez jouer avec les cartes TMS990 de Texas Instruments dans un jeu de cartes professionnel.

Les cartes TMS990 de Texas Instruments offrent la performance et la flexibilité d'un jeu de cartes professionnel, et sont compatibles avec les cartes TMS990 de Texas Instruments. Vous pouvez jouer avec les cartes TMS990 de Texas Instruments dans un jeu de cartes professionnel, et vous pouvez jouer avec les cartes TMS990 de Texas Instruments dans un jeu de cartes professionnel.

A Texas Instruments, nous avons les cartes TMS990 de Texas Instruments, les atouts maîtres dans votre jeu sur ordinateur. Les cartes TMS990 de Texas Instruments offrent la performance et la flexibilité d'un jeu de cartes professionnel, et sont compatibles avec les cartes TMS990 de Texas Instruments.

Module	Description	Spécifications
TMS9901	Carte TMS9901 de Texas Instruments	256 Ko
TMS9902	Carte TMS9902 de Texas Instruments	512 Ko
TMS9903	Carte TMS9903 de Texas Instruments	1024 Ko
TMS9904	Carte TMS9904 de Texas Instruments	2048 Ko
TMS9905	Carte TMS9905 de Texas Instruments	4096 Ko
TMS9906	Carte TMS9906 de Texas Instruments	8192 Ko
TMS9907	Carte TMS9907 de Texas Instruments	16384 Ko
TMS9908	Carte TMS9908 de Texas Instruments	32768 Ko
TMS9909	Carte TMS9909 de Texas Instruments	65536 Ko
TMS9910	Carte TMS9910 de Texas Instruments	131072 Ko

TEXAS INSTRUMENTS
FRANCE



BOULEVARD DES SAUVAGES
91120 PALAISEAU
TÉL. 01 69 20 00 00

SCHEFFEL-PASSERON
11100 LYON
TÉL. 01 78 20 00 00

BOULEVARD
11100 LYON
TÉL. 01 78 20 00 00

BOULEVARD
11100 LYON
TÉL. 01 78 20 00 00

BOULEVARD
11100 LYON
TÉL. 01 78 20 00 00

BOULEVARD
11100 LYON
TÉL. 01 78 20 00 00

BOULEVARD
11100 LYON
TÉL. 01 78 20 00 00

NOM
SOCIÉTÉ
SERVIR

COPIES REPRIS

ADRESSE
Téléphone

A descripteur
Le Texas Instruments
sur les cartes de
jeu TMS990

Le BASIC

Né en Angleterre au Dartmouth Collège en 1965, le BASIC ou « Beginners All Purpose Symbolic Instruction Code » (Code d'instructions symboliques tous usages pour débutants) est un langage de programmation qui peut être assimilé en très peu de temps par des non-informaticiens.

Un microordinateur programmable en BASIC est essentiellement constitué d'un microprocesseur, de mémoires, de circuits d'interface, de périphériques (console TV, clavier ASCII...) et d'une mémoire spécialisée en ROM ou en RAM appelée compilateur ou moniteur BASIC. Cette mémoire est capable de générer les instructions en langage machine lorsqu'on lui fournit des instructions source (c'est-à-dire des instructions frappées sur un clavier).

Ainsi, un moniteur BASIC est avant tout un programme, chargé en mémoire, dont la capacité varie suivant les possibilités du système entre 2 K et 16 K-octets.

« BUNNY »

Le langage BASIC permet de programmer aisément de nombreux jeux, diables et dévils sur votre micro-ordinateur.

Ce BUNNY, réalisé par la jeune américaine « Creative Computers » (Marlborough, New Jersey) est un excellent moyen de faire programmer et d'habituer vos élèves à l'ordinateur sur un langage.

Vous pouvez le programmer et l'installer sur votre ordinateur si vous êtes intéressés à l'écrire.

Depuis quelques années, deux phénomènes ont contribué à introduire le langage BASIC parmi les amateurs (appelés « hobbyists » aux Etats-Unis) : l'avènement des microprocesseurs avec leur spectaculaire développement et la forte diminution du coût des mémoires et des circuits intégrés.

Dès lors, ce langage commence à être employé dans les micro-ordinateurs d'un prix avoisinant quelques milliers de francs.

Bien entendu, le BASIC ne permet pas une approche de une compréhension aussi fine du fonctionnement d'un microprocesseur que l'assembleur et ses manœuvres mais c'est un excellent outil pédagogique de programmation.

Pour commencer ensemble cette étude du langage BASIC nous aborderons successivement



les notions d'algorithmes et d'organigrammes puis nous résoudrons, directement en BASIC, des problèmes simples comme le calcul du volume d'une sphère ($4/3 \cdot R^3$), ce qui nous permettra d'introduire les premières instructions de ce langage.

Algorithme

Lorsque nous recherchons les solutions d'une équation, le succès de cette recherche dépend bien entendu, et avant tout, de l'existence d'une solution mais aussi de la façon dont est abordé le problème.

L'algorithme décrit dans tous les détails la méthode à suivre pour aboutir au résultat.

Le tableau 1 représente l'algorithme de résolution d'une équation

du premier degré de la forme $Ax + B = 0$

Organigramme

L'organigramme se dit aussi ordigramme (flowchart en anglo-saxon). Contrairement à l'algorithme qui est une méthode de description plutôt « mathématique », l'organigramme est un dessin ou schéma synoptique qui analyse point par point les différentes phases du problème à traiter. Ce schéma est décomposé en symboles (rectangles, parallélogrammes, losanges, ...) qui indiquent la présence d'une opération à effectuer (test, entrée/sortie, traitement...). Les symboles utilisés, hors de la construction d'organigrammes, selon les normes A.N.S.I., sont donnés figure 1.

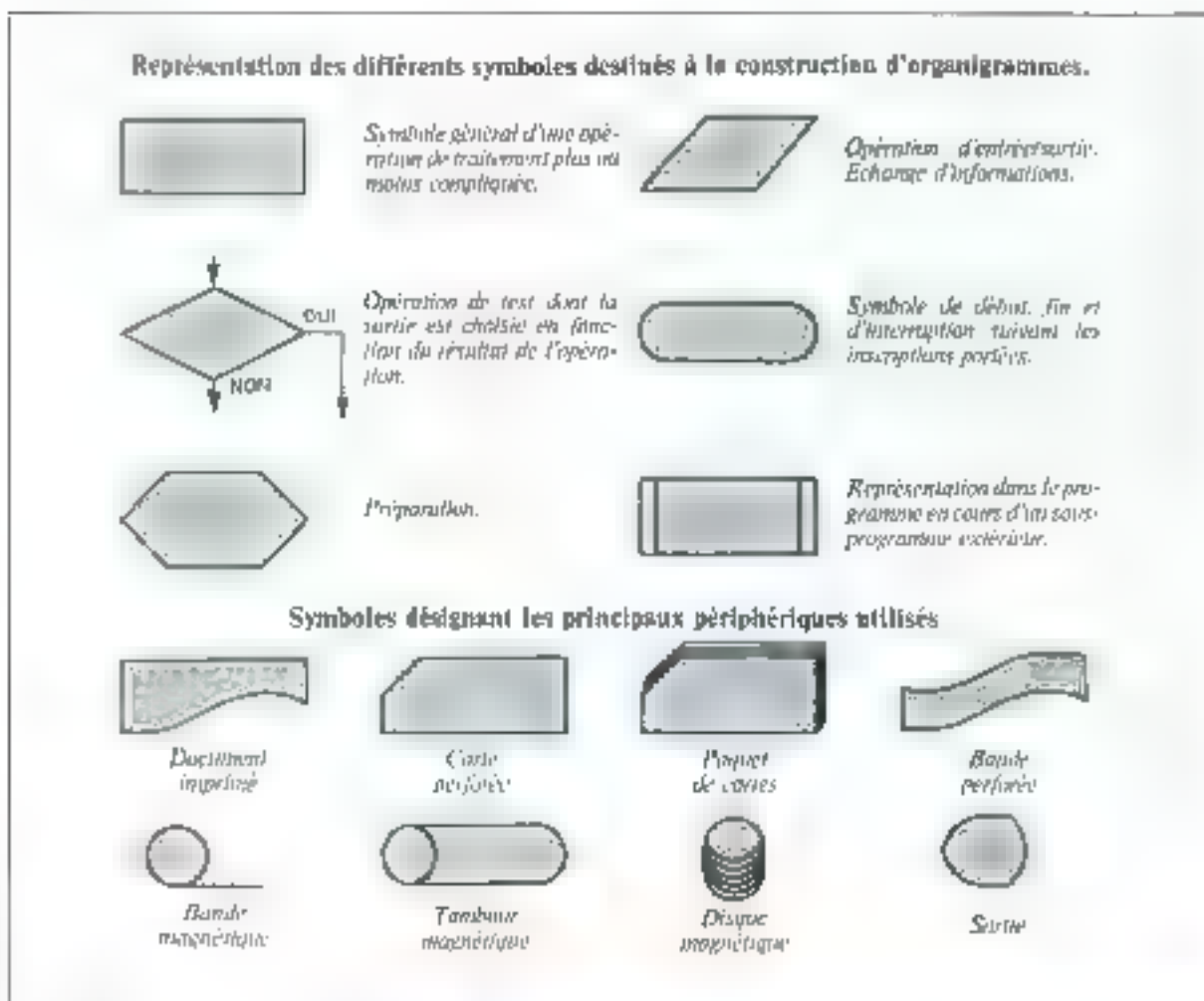


Fig. 1. Représentation des différents symboles destinés à la construction d'organigrammes.

Ainsi l'organigramme est une représentation schématique de l'organisation d'un travail à effectuer ; est au logiciel ce que le synoptique est au matériel. L'un permet de définir la tâche du programmeur, l'autre celle du câbleur.

Pour réaliser un organigramme, il est nécessaire avant toute chose de définir précisément l'algorithme du problème. L'organigramme défini par l'algorithme précédent est dessiné figure 2.

Calcul du volume d'une sphère

Ecrivons, directement en BASIC, le programme de calcul du volume d'une sphère dont la formule en fonction du rayon est connue chacun sait :

$$V = \frac{4}{3} \pi R^3$$

```

Programme
50 INPUT R
100 LET V=(4 * 3.14159265) * (R ^ 3)/3
150 PRINT " VOLUME DE LA SPHERE = " ; V
200 END
    
```

50, 100, 150, 200 définissent le numéro de la ligne et par conséquent la « référence » de chaque instruction. Ils sont utilisés ici comme étiquette. Ces lignes sont numérotées dans un ordre croissant mais leur numéro peut être quelconque.

1^{re} instruction

50 INPUT R

INPUT est une instruction d'entrée en mode conversationnel (c'est-à-dire de dialogue homme-machine). La forme générale de cette instruction est :

Étiquette INPUT

< liste des variables >

Lorsque l'ordinateur arrive à la ligne 50, il demande à l'utilisateur, par un point d'interrogation, de taper sur le clavier la valeur de la donnée R. L'utilisateur tape alors 1.23456789012 si le rayon de la sphère est de cette dimension comme dans notre exemple.

Puis, l'ordinateur exécute la suite de son programme dès que la donnée (ou les données) est entrée.

Il est possible d'initialiser plusieurs variables avec une seule instruction INPUT, il suffit de les

séparer par un signe séparateur qui est généralement une virgule.

Exemple :

```
300 INPUT A, E, I, O, U
```

Lorsque l'on entre, lors de l'exécution du programme les nombres 1, 2, 3, 4 et 5, chacune des variables prendra la valeur :

```
A = 1
E = 2
I = 3
O = 4
U = 5
```

Remarque : Les variables à modifier sont codées uniquement par une seule lettre suivie ou non d'un chiffre.

Ainsi, R est une variable, A, E, I, O, U, sont des variables, de même que Z 5 ou Y 7. Les termes 38, ET... ne sont pas des noms de variables.

2° Instruction

```
100 LET V = (4 + 3.14159265) *
      CR ↓ 3R3
```

LET est une instruction d'affectation. Elle signifie que l'expression mathématique située à droite du signe = est affectée à V, c'est-à-dire que V prend la valeur de l'opération effectuée à l'aide de R.

De la même façon, lorsque l'on est en présence d'une équation de la forme :

```
5 LET X = X - 10
```

La variable X est présente de chaque côté de l'égalité. Il faut entrer X, la nouvelle valeur de X après exécution de cette instruction est X - 10.

Les opérateurs BASIC

Le calcul de V fait apparaître les opérateurs : multiplication, division et élévation à la puissance.

A chaque opérateur est attribué une priorité permettant d'effectuer les calculs suivant un certain ordre.

La notation et la priorité de ces opérateurs est résumé dans le tableau ci-dessous.

Opérateur	Notation	Priorité
Addition	+	3
Soustraction	-	3
Multiplication	*	2
Division	/	2
Puissance	↑	1

La priorité la plus élevée est notée 1, autrement dit, dans une expression, les opérations d'élévation à la puissance sont traitées les premières.

Exemple :

Ecrire en BASIC le calcul de l'expression

$$X = \frac{-b + \sqrt{b^2 - 4ac}}{2a}$$

Si cette instruction porte l'étiquette 50 :

```
50 LET X = (-B + SQR(B^2 - 4 * A * C)) / (2 * A)
```

Nous conseillons à nos lecteurs de porter la plus grande attention quant aux positions des parenthèses dans les expressions compliquées. Bien souvent, il est préférable de décomposer le calcul en plusieurs lignes et ici, d'effectuer la racine puis l'addition et la division.

Lorsqu'une formule contient plusieurs facteurs, les opérations entre parenthèses sont effectuées les premières.

Noter que les nombres décimaux s'écrivent avec un point et non une virgule (0.5 et non 0,5 pour racine 1/2).

3° Instruction

```
150 PRINT "VOLUME DE LA
      SPHERE = " : V
```

Tableau 1

Algorithme de résolution d'une équation du 1^{er} degré : $Ax + B = 0$

1) Etablir la liste des variables

Ici, les nombres A et B sont inconnus, on doit donc les initialiser et les rechercher en mémoire ou sur un périphérique.

2) Test de A

Comparer A à 0. Si A est différent de 0 on passe à l'instruction suivante ($X = -B/A$). Si A est nul, on doit tester si B = 0 (instruction 6).

3) Calculer X

X prend ici la valeur $-B/A$.

4) Sortir la valeur de X

Sortie de X sur un affichage ou une imprimante.

5) Instruction d'arrêt ou stop

Le calcul de X est terminé.

6) Test de B

Si B = 0 nous sommes en présence de $X^0 = -0/0$, on passe à l'instruction 9 qui signale que le problème est indéterminé.

Si B ≠ 0 on passe à l'instruction suivante.

7) Sortie

Cette instruction correspond au cas où A = 0 et B ≠ 0. La valeur de X est donc $-B/0$, l'imprimante ou la visu doit alors indiquer que le problème est impossible à résoudre.

8) Stop

9) Sortie

Dans ce cas $X = -0/0$, le périphérique signale une indétermination.

10) Stop.

L'instruction PRINT imprime les termes placés entre les 2 guillemets (phrases, variables, ...) tels que le programmeur les a inscrits.

Ces termes n'ont aucune signification pour la machine.

Si l'expression à imprimer est suivie d'une virgule, la longueur de la zone qui lui est attribuée sera de 15 caractères.

Lorsque la chaîne de caractères est suivie d'un point virgule, les expressions sont éditées sans espace intermédiaire.

4^e instruction

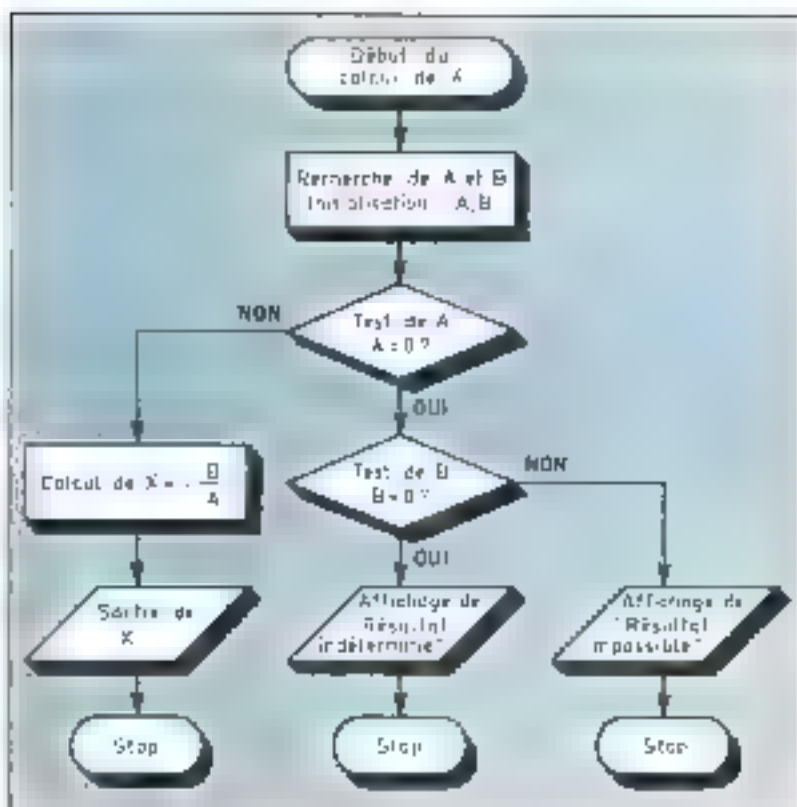
100 END

L'instruction END indique à l'ordinateur que le programme est achevé. Les programmes BASIC doivent être terminés obligatoirement par cette instruction.

Ainsi, à l'aide de 4 instructions très simples, il nous a été permis de calculer le volume d'une sphère de rayon 1,23456789012 en quelques instants.

Le listing de ce programme avec le «RUN» qui l'accompagne l'est-à-dire l'exécution du programme par l'ordinateur est représenté tableau 2.

Remarquez le point d'interrogation lorsque la machine demande l'entrée de la variable R.



Le résultat est imprimé (ou affiché) instantanément et l'ordinateur est prêt à nouveau (READY) pour l'exécution du programme suivant.

Fig. 2. - Organigramme de résolution de l'équation du 1^{er} degré: $1/X + B = 0$. Remarquez les trois solutions possibles.

```
*LIST
```

```
0050 INPUT R
0100 LET V=(4*3.14159265)*(R^3)/3
0150 PRINT "VOLUME DE LA SPHERE ="*V
0200 END
```

```
READY
```

```
*RUN
```

```
? 1.23456789012
```

```
VOLUME DE LA SPHERE =7.88194593
```

```
READY
```

```
↓
```

Tableau 2 - Le programme de calcul du volume de la sphère occupe les lignes 50, 100, 150 et 200. Lorsque ce programme est exécuté (RUN) l'ordinateur demande l'entrée du rayon de la sphère (R) et imprime le texte situé entre les guillemets de l'instruction PRINT suivi du résultat (V).

DU MICROPROCESSEUR AU MICRO-ORDINATEUR

Séminaire exceptionnel 98^F TTC

PARIS - 25 NOVEMBRE 78

Maison de la Chimie - 28, rue St-Dominique - Paris 7^e

A l'occasion de son lancement, la revue **MICRO-SYSTÈMES** organise avec la collaboration de **SYBEX** une journée de formation et d'information sur l'utilisation des microprocesseurs dans la conception des micro-ordinateurs à usage personnel.

I - Initiation aux microprocesseurs (9 h-12 h)

Introduction - Fonctionnement d'un microprocesseur - Composants d'un système - Les familles de microprocesseurs - Applications - Programmation d'un microprocesseur - Développement d'un produit - Aides au développement - Sélection d'un microprocesseur - Evolution et Perspectives.

II - Les micro-ordinateurs (14 h-16 h)

Définition ■ constitution d'un micro-ordinateur - Fonctionnement - Applications - Historique - Les périphériques - Imprimante, disque, écran, magnétophone - Les différents types de micro-ordinateurs : leur choix, leurs applications - L'avenir.

Conférencier : **Rodney Zaks** : ingénieur E.C.D., Ph. D. Univ. de Berkeley

est l'auteur de plus de 30 ouvrages sur les microprocesseurs dont ■ dernier, « An introduction to personal and business computing », best-seller aux USA, est désormais disponible en français.

III - Débat (16 h-18 h)

— Comment choisir son micro-ordinateur à usage personnel.

— Tribune libre : ■ différents constructeurs et distributeurs défendront leur produit face à l'assistance (président de Session : prof. David).

IV - Exposition (entrée libre)

Durant tout le séminaire une exposition permanente présentera les principaux modèles de micro-ordinateurs en vente sur le marché français.

Liste des produits présentés : REA avec le AIM 65 / JCS avec le MK 14 et le Nascom I / Heathkit avec le H 8 et le ■ 11 / Proteus avec le Proteus III et IV / ERN avec le VIM / Euro-Computer Shop avec le SORCERER / Mato avec le TRS-80 / Sonorec avec Apple-II / PROCEP / JANAL Computer Shop / IVS, etc.



EUROPE :
313, rue Lecourbe
75015 PARIS
Tél. : (1) 828.25.02
Télex : 200858

USA :
2020 Milvia St.,
Berkeley, CA 94704
Tél. : (415) 848.82.33

**MICRO
SYSTEMES**

15, rue de la Paix, 75002 Paris. Tél. : 296.46.97

COUPON D'INSCRIPTION

- Inscrivez-moi à la journée micro-ordinateurs
 Envoyez-moi tous renseignements sur les livres SYBEX
 Ci-joint 98 F T T C, à l'ordre de Micro-Systèmes

Nom _____ Profession _____

Société _____

Adresse _____

_____ Tél. _____

ENVOYEZ A : MICRO-SYSTEMES, 15, rue de la Paix
75002 Paris

Un programme des signes du Zodiaque

Le logiciel (soft)

Ce programme occupe 20 lignes en tout, dont 13 contiennent un test séquentiel, sujet à amélioration si l'on utilisait un traitement de chaînes de caractères. Il peut donc tourner sur la plus petite machine qui soit.

Son but : fournir le signe du Zodiaque en réponse à la date et mois de naissance du demandeur.

Ne prêtez pas attention aux verdicts, car l'auteur est nul en astrologie. Retenez l'idée :

On entre deux numéros. Le premier représente la date du mois, « X », suivi du numéro de mois « Y ». Un perfectionnement pourrait prévoir une entrée sous forme de caractères, en indiquant le nom du mois en clair (ex « 11. novembre »)

Le signe change tous les 21 du mois, donc les personnes nées le 21 feront partie du signe du mois suivant. Un test incrémentera de 1 le numéro de mois si nécessaire. Suivent 13 tests, se proposant d'identifier le code du mois entré, pour donner une réponse (fig. 1). Inutile de nous écrire au sujet de Y = 0. Si vous êtes né avant le 21 janvier, deux tests devant aboutir au même signe, correspondant à la période 22 décembre, 22 janvier, sont prévus.

Cette suite de tests en séquence rappelle, bien entendu, les monteurs hexadécimaux mal conçus, et plus précisément le sous-programme de reconnaissance d'ordre et d'indirection (la « switch routine ») si en hexadécimal un veut aller vite. Telle n'est pas la situation dans un programme distrayant, ou dialogue homme-machine peut respecter l'échelle de temps du premier. Les perfectionnements seront néanmoins bien venus. Soyez nombreux à nous écrire.

Le matériel (hard)

Les spécialistes auront peut-être reconnu sur le listing de la figure 2 le basic industriel implanté sur un L.C.D.S par National Semiconductor. Ils sont les premiers à avoir utilisé en France un basic implanté dans un système microprocesseur très, très bon marché, parce qu'il s'agit du SC/MP permettant de travailler en basic (des photos 1, 2, 3, 4, 5 représentent la machine et les cartes) :

1 - Carte Unité Centrale (le circuit intégré blanc), contenant un petit segment de RAM de service.

2 - Carte Mémoire, contenant 2K octets de RAM adressable par l'intermédiaire de petits straps sur un support DIL pour composants, au centre.

3 - Carte Basic, en 4K octets d'EPROM 5204 (MM 5204-NS), version à usage industriel, très concise, plusieurs instructions ordinaires pouvant être incluses dans une ligne. Exemple :

Etiquette IF (Expression logique) THEN (instructions ou soit autre - IF et

utilise des calculs entiers sur 2 octets (± 32768 chiffre maxi).

4 - Carte Assembleur (mini à une seule passe ligne par ligne), Editeur de Texte (excellent, vu la configuration) et Programmeur d'EPROM, pouvant fournir un ruban en BNPF ou en complément binaire - B.C.

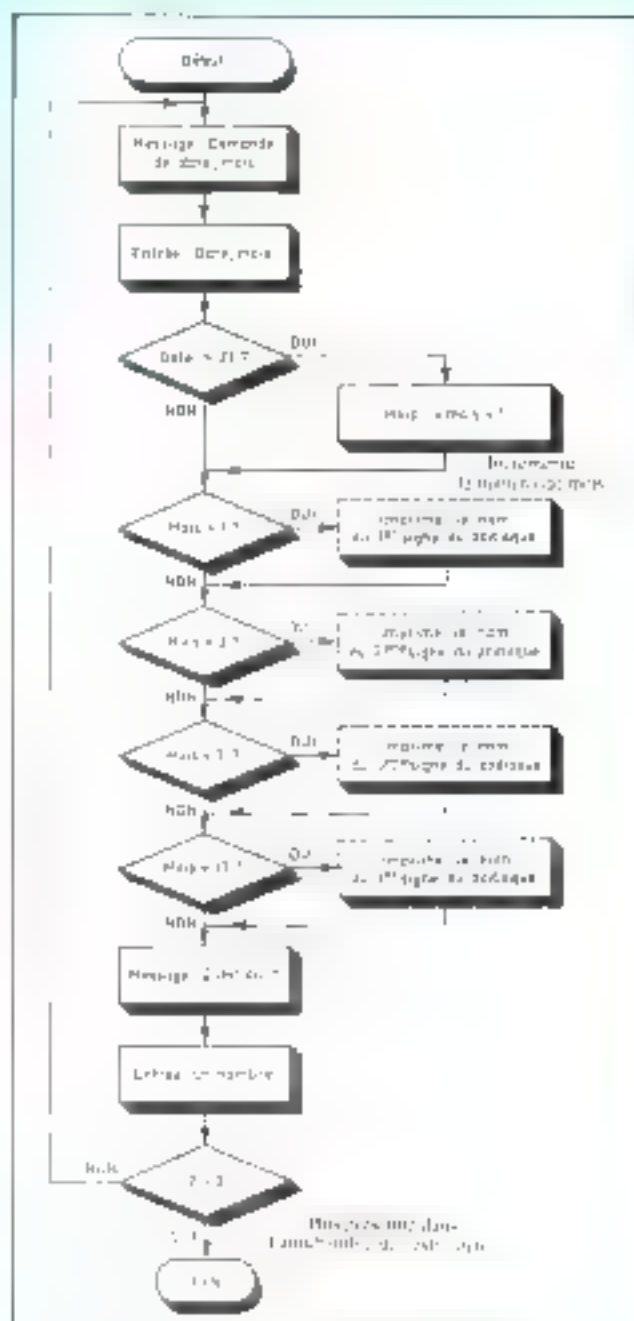


Fig. 1. - Diagramme. Remarque : les 13 tests d'identification « trivés de deux entrées ».

Ces machines sont aimées par les écoles et universités. Le grand défaut du système était qu'à l'époque de son lancement il fonctionnait à partir d'une télétype, ou d'un autre terminal « lourd » pour les budgets amateur.

Des versions disposant de claviers encodés ASCII et de modulateurs UHF et contrôleurs de CRT pourront peut-être éliminer cet inconvénient. ■

A. DORIS

```

10 PRINT "VOTRE DATE ET MOIS DE NAISSANCE S-V-P."
20 INPUT A$
30 IF A$=1 THEN
40 IF Y=1 THEN "VOTRE DATE DE NAISSANCE EST..."
50 IF Y=2 THEN "INCORRECTE. RE-ENTREZ-LE."
60 IF Y=3 THEN "RE-ENTREZ-LE."
70 IF Y=4 THEN "RE-ENTREZ-LE."
80 IF Y=5 THEN "RE-ENTREZ-LE."
90 IF Y=6 THEN "RE-ENTREZ-LE."
100 IF Y=7 THEN "RE-ENTREZ-LE."
110 IF Y=8 THEN "RE-ENTREZ-LE."
120 IF Y=9 THEN "RE-ENTREZ-LE."
130 IF Y=10 THEN "RE-ENTREZ-LE."
140 END

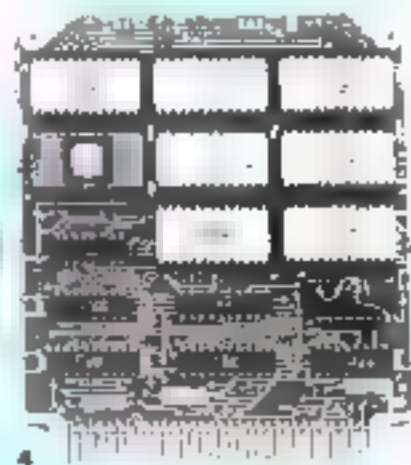
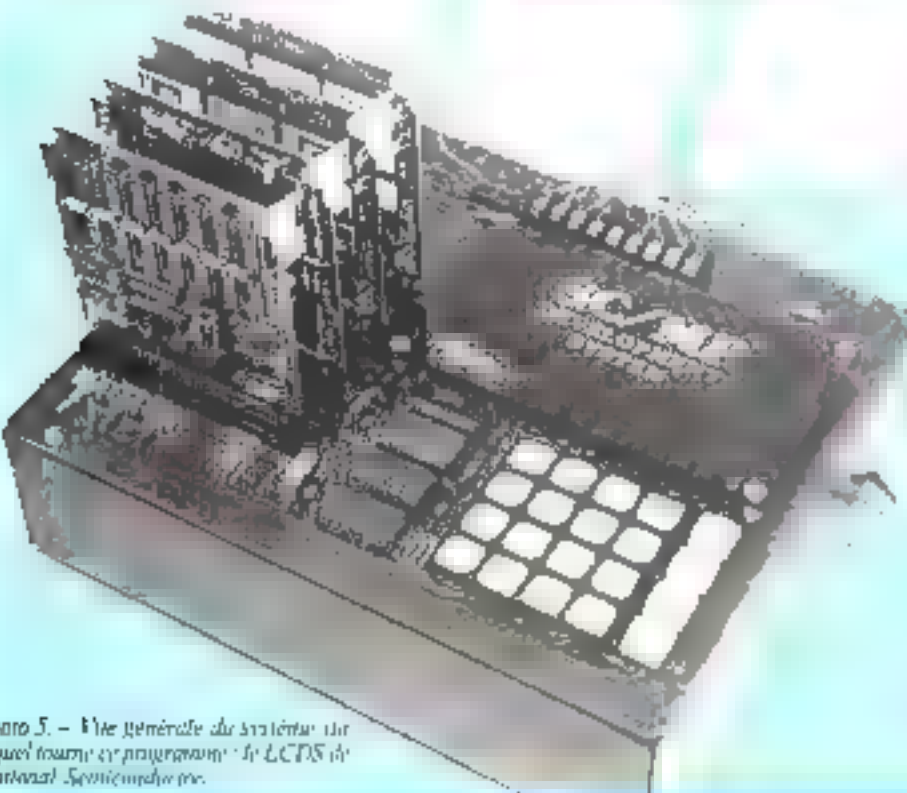
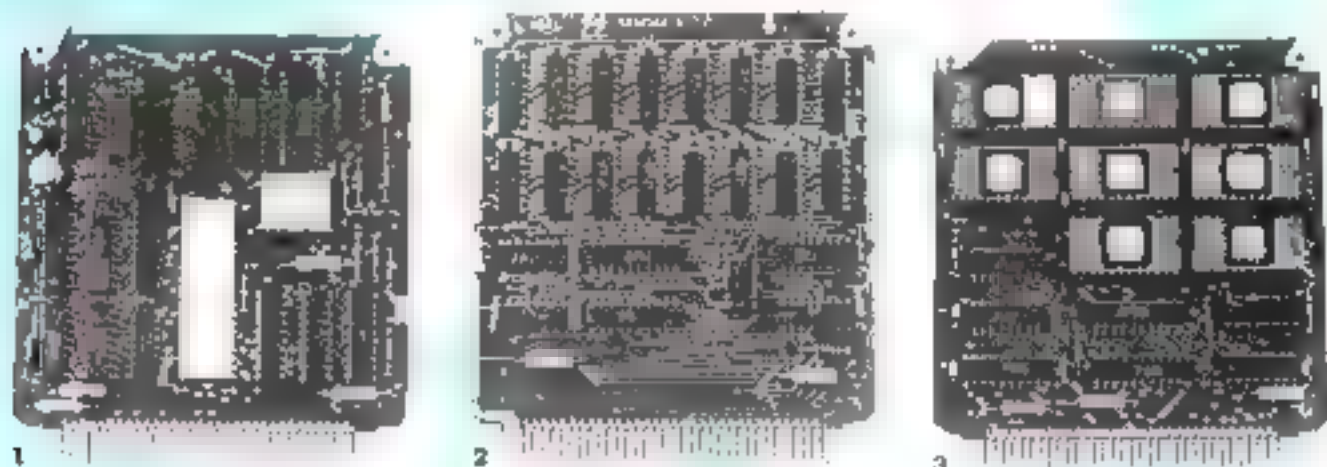
```

```

150 PRINT "VOTRE DATE ET MOIS DE NAISSANCE S-V-P."
160 INPUT A$
170 IF A$=1 THEN
180 IF Y=1 THEN "VOTRE DATE DE NAISSANCE EST..."
190 IF Y=2 THEN "INCORRECTE. RE-ENTREZ-LE."
200 IF Y=3 THEN "RE-ENTREZ-LE."
210 IF Y=4 THEN "RE-ENTREZ-LE."
220 IF Y=5 THEN "RE-ENTREZ-LE."
230 IF Y=6 THEN "RE-ENTREZ-LE."
240 IF Y=7 THEN "RE-ENTREZ-LE."
250 IF Y=8 THEN "RE-ENTREZ-LE."
260 IF Y=9 THEN "RE-ENTREZ-LE."
270 IF Y=10 THEN "RE-ENTREZ-LE."
280 END

```

Fig. 2. - Le programme Basic occupe 20 lignes. Un exemple d'application est donné à droite, après le « RUN ».



Photos 1, 2, 3, 4. - Les 4 cartes NS permettent de travailler en Basic, d'assembler des programmes, d'écrire du texte et de programmer des EPROM-5 à partir d'un système LCDS.

Photo 5. - Vue générale du système sur lequel tourne et programme le LCDS de National Semiconductor.

La solution de votre application



SYSTEME 80/10

Le système 80/10 est idéal pour les applications de temps réel. Il est basé sur le processeur 8080 et le contrôleur de bus 8255. Le système 80/10 est idéal pour les applications de temps réel. Il est basé sur le processeur 8080 et le contrôleur de bus 8255. Le système 80/10 est idéal pour les applications de temps réel. Il est basé sur le processeur 8080 et le contrôleur de bus 8255.

Quelques exemples d'applications temps réel par secteur de marché :

- Contrôle industriel
- Automatismes
- Instrumentation
- Remplacement de la logique câblée
- Contrôle numérique
- Périphériques intelligents
- Acquisition et enregistrement de données
- Concentrateur de terminaux



SYSTEME 80/20-4

Le système 80/20-4 est idéal pour les applications de temps réel. Il est basé sur le processeur 8080 et le contrôleur de bus 8255. Le système 80/20-4 est idéal pour les applications de temps réel. Il est basé sur le processeur 8080 et le contrôleur de bus 8255. Le système 80/20-4 est idéal pour les applications de temps réel. Il est basé sur le processeur 8080 et le contrôleur de bus 8255.

Logiciels temps réel

microcalculateur



CHASSIS iSBC 660

Le chassis iSBC 660 est un chassis destiné

recevoir 10 cartes dans la gamme iSBC d'INTEL

(Carte microcalculateur, carte mémoire...)

**VEENEZ NOUS VOIR
SUR NOTRE STAND
A L'OCCASION DU SICOB:
NIVEAU 3 ZONE C
STAND 3301**

Les systèmes microordinateurs **OEM** d'INTEL comprennent principalement les iSBC 660 (microcalculateur sur une carte) et les systèmes 80 (systeme microcalculateur à utilisation). Chacune carte microcalculateur d'INTEL possède sur une seule carte toutes les ressources d'un microcalculateur: unité centrale, mémoire vive et mémoire morte, interfaces pour les cartes clés existantes. Les systèmes 80 (iSBC 20-4) augmentent les performances des microcalculateurs de faible coût prêts à l'emploi pour une application d'exploitation en ligne. Les systèmes à 16 bits microcalculateur sur une seule carte, iSBC 660, offrent des performances élevées de cartes mémoire, des cartes d'entrée/sortie, des cartes d'analyse de carte d'accès, des cartes mémoire, des convertisseurs analogiques, des cartes d'interface. Toutes ces cartes sont compatibles avec le bus Intel **MULTIBUS™** d'INTEL.

Ces systèmes comprennent des niveaux de complexité qui vont de la simple carte à une application complète et comprennent des applications de grande envergure. Le matériel de base est le **RMX 80** (microcalculateur) qui est une carte à 8 bits compatible avec les cartes iSBC. Les cartes iSBC offrent des performances élevées de traitement de données et de contrôle. Les systèmes **OEM** et les systèmes à 16 bits offrent une grande flexibilité de développement et de programmation.

Après l'application de base, les performances sont améliorées par une multitude de temps réel (iSBC 201) et de programmation (iSBC 202) et de programmation (iSBC 203). Les cartes iSBC 201, 202 et 203 offrent des performances élevées de traitement de données et de contrôle. Les systèmes **OEM** et les systèmes à 16 bits offrent une grande flexibilité de développement et de programmation. Les systèmes à 16 bits offrent des performances élevées de traitement de données et de contrôle. Les systèmes **OEM** et les systèmes à 16 bits offrent une grande flexibilité de développement et de programmation.

Pour obtenir plus d'informations, veuillez contacter:

INTEL CORPORATION S.A.R.L.
5, place de la Balance - 5, rue 225
94028 RUNG S CEDEX - Tél. 687-22-21

Nos distributeurs Systemes
TELECOM AIRTRONIC
10, rue des Bruyères - Rue Carle Verrel
93110 SEURESS - Tél. 697-75-35

METROLOGIE
11, Tour d'Asnières - 4, Av. Laurent Coby
92666 ASNÈRES - Tél. 791-44-44

Cartes SBC

iSBC 660/80 80/20 80/20-4
Cartes microcalculateurs pour
système à 8 bits dans un
environnement multipro-
cesseurs.

iSBC 016/032/64B/04
Cartes mémoire vive. Capacité
16 K, 32 K, 48 K, 64 K octets.

iSBC 094 Carte mémoire vive
CMOS 4 K octets.

iSBC 104/108/116 Cartes 4 K/8 K/
16 K octets mémoire vive, 8 K
octets REPRAM, 48 entrées-
sorties programmables, USART.

iSBC 310 Carte antistatique rapide
câblée.

iSBC 416 Carte 16 K octets
REPRAM.

iSBC 501 Carte d'accès direct à la
mémoire.

iSBC 506 Cartes 32 entrées/
32 sorties.

iSBC 517 Carte 48 entrées-sorties
programmables + USART.

iSBC 519 Carte 72 entrées-sorties
programmables.

iSBC 534 Carte pour communica-
tions séries (4 voies).

iSBC 556 Cartes 48 entrées-sorties
isolées galvaniquement.

iSBC 711 Carte conversion D/A.

iSBC 724 Carte conversion A/D.

iSBC 734 Carte conversion D/A
et A/D.

Coupleurs et périphériques

iSBC 201 Contrôleur double couple
simple densité.

iSBC 202 Contrôleur double couple
double densité.

iSBC 212 Dérivante double drive
avec contrôleur.

Matériel compatible

iSBC 536 Adaptateur télétype.

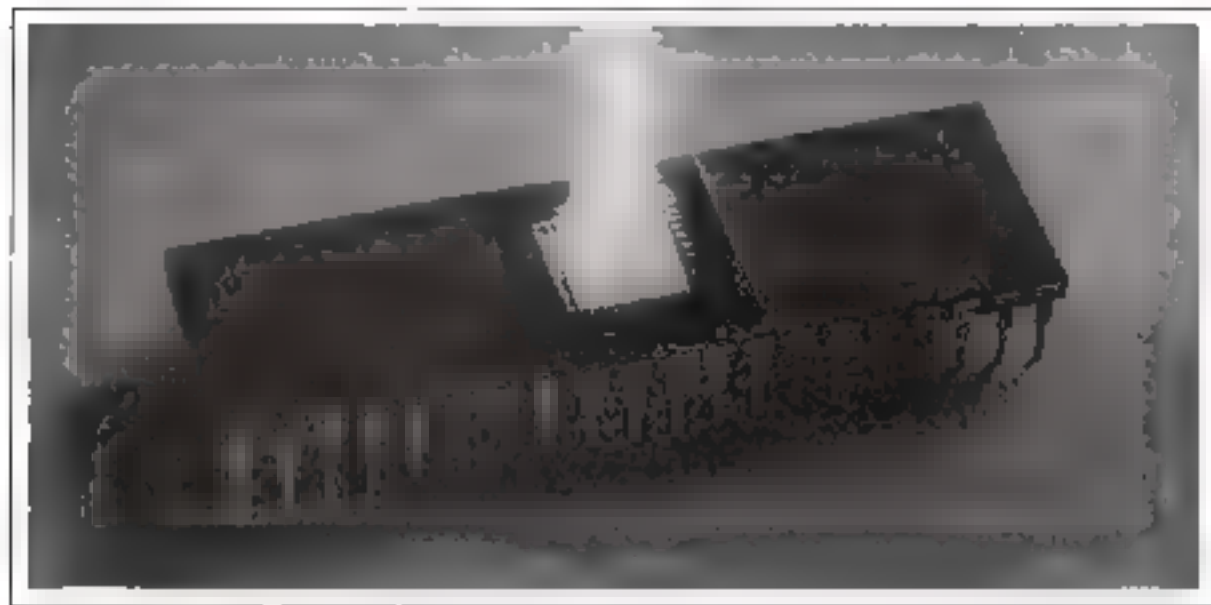
iSBC 856 Câbles pour E/S
parallèles.

Logiciel compatible

RMX 80 Moniteur temps réel
multitâches.

Les micro-ordinateurs : 8048 - 8049 8748 - 8035 et 8039 de Intel

La version reprogrammable du 8048 : le 8748 effaçable avec ultraviolet. (Doc. Intel).



Les récents progrès de la technologie des N.MOS permettent d'intégrer suffisamment de composants sur une puce de silicium pour réaliser un micro-ordinateur en un boîtier contenant toutes les fonctions nécessaires à un système de traitement numérique.

Le 8048, ses variantes (8748 et 8035) et ses circuits d'interface constituent une famille de micro-ordinateurs référencée MCS-48.

Un temps de cycle de 2,5 ou de 5 μ s et un répertoire de plus de 90 instructions, font du 8048 l'égal de la plupart des microprocesseurs N.MOS à plusieurs boîtiers actuellement disponibles.

En outre, et pour réduire les coûts de mise au point et de développement des projets, le constructeur a créé deux versions compatibles au niveau des broches du 8048 :

— Le 8048 à mémoire ROM programmable par masque pour les productions en série.

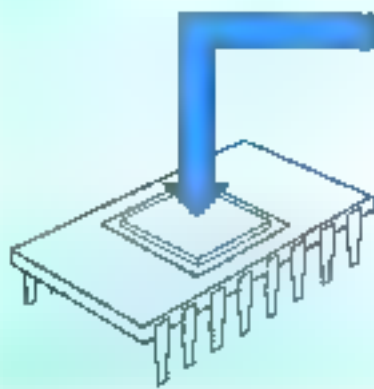
— Le 8748 à mémoire EPROM effaçable et programmable par l'utilisateur pour la mise au point de prototype.

Ainsi, le 8748 peut être modifié à volonté durant le développement du produit, puis remplacé par le 8048 pour la production de masse.

Le 8035 est un 8048 sans mémoire de programme interne, ce qui permet à l'utilisateur de satisfaire exactement ses exigences au niveau de la capacité mémoire et de choisir parmi une grande variété de mémoires celles correspondant à ses besoins.

Enfin, deux nouveaux micro-ordinateurs en un boîtier sont apparus : le 8049 et le 8039. Le 8049, identique au 8048, contient 2 K-octets de mémoire programme et 128 octets de mémoire de données (au lieu de 1 K-octet et 64 octets). Le 8039 est similaire au 8049 mais ne possède pas de mémoire de programme.

Caractéristiques essentielles de la famille MCS-48



- Unité centrale 8 bits avec ROM, RAM et ports d'entrée-sortie en pin boîtier.
- Alimentation unique + 5 V \pm 10 %
- Boîtier 40 broches
- Compatibilité des broches entre le 8048, 8748, 8049, 8035 et 8039
- Plus de 90 instructions dont 70 % sur un octet
- Temps de cycle de 2,5 μ s, toutes les instructions étant exécutables en 1 ou 2 cycles
- 27 lignes d'entrée-sortie
- Timer/compteur d'événements de 8 bits
- Oscillateur et circuit d'horloge
- 1 niveau d'interruption

• INTEL
1, place de la Balance
Z.I. Snc
90520 Runy-Céler
Tél : 687-22-21.

Les micro-ordinateurs 8048 - 8049 - 8748 - 8035 et 8039 sont en tous points compatibles et ne se différencient que par leur capacité mémoire.

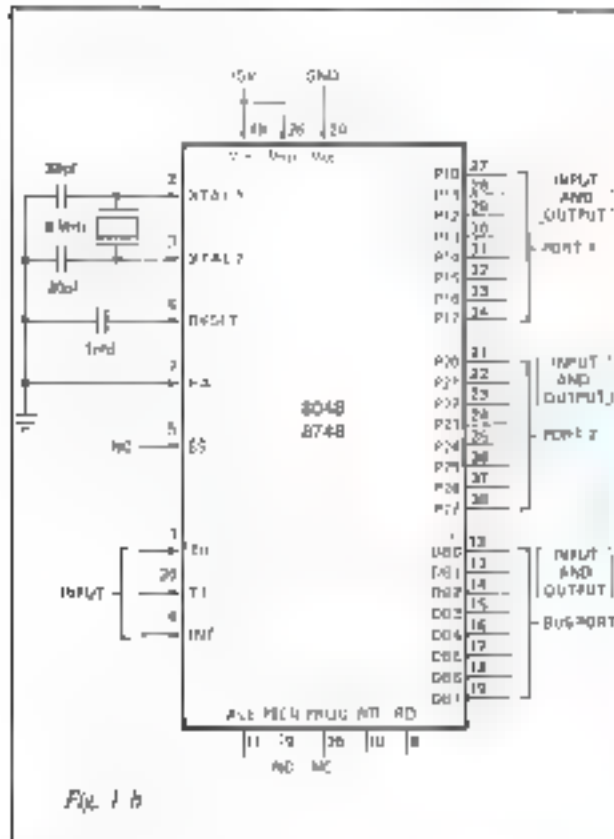


Fig. 1 b

Fig. 1 b et 1 c
Symbole logique et bloc diagramme du 8048.

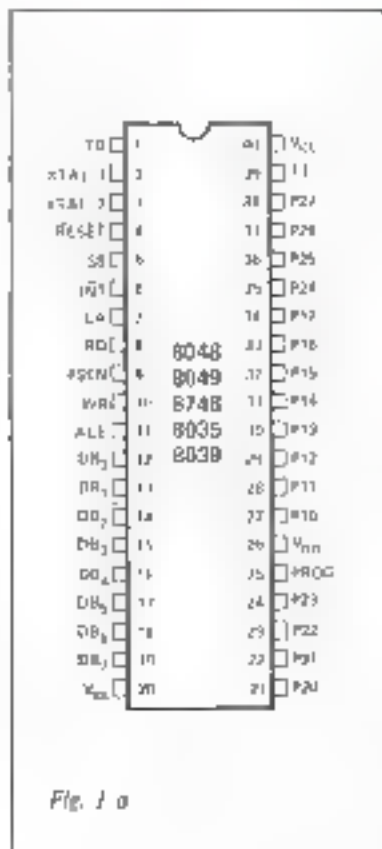


Fig. 1 a

Fig. 1 a.
Branchage des micro-ordinateurs 8048 - 8049 - 8748 - 8035 et 8039.

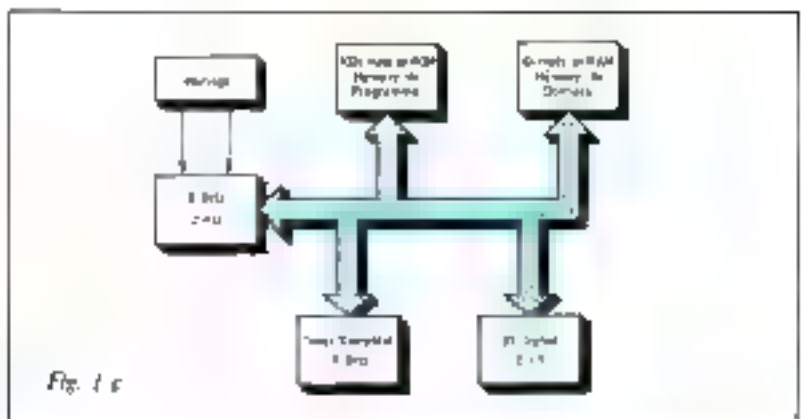


Fig. 1 c

Description des broches		
Réf.	Broche	Fonction
V _{SS}	20	0V
V _{DD}	26	Alimentation programmation Alimentation faible consommation (stand-by) dans la version ROM-8048
V _{CC}	40	Alimentation principale
PROG	25	Entrée de l'impulsion de programmation (+ 25 V) pour le 8748 Sortie « strobe » pour le 8243 (extension E/S)
P ₁₀ -P ₁₇	27-34	Port 1 - 8 bits quasi bidirectionnel
P ₂₀ -P ₂₇	21-24 35-38	Port 2 - 8 bits quasi bidirectionnel
D ₀ -D ₇ (BUS)	12-19	Port bidirectionnel 8 bits
T ₀	1	Broche d'entrée testable
T ₁	39	Broche d'entrée testable
INT	6	Entrée interruption
RD	8	Sortie échantillonnée pendant une lecture du BUS
RESET	4	Initialise le processeur
WR	10	Sortie échantillonnée lors d'une écriture sur le BUS
ALE	11	Validation de l'adresse
PSEN	9	Validation d'un programme stocké dans une mémoire externe
SS	5	Entrée pas à pas
EA	7	Entrée d'accès externe (pour la programmation du 8748)
XTAL 1	2	Entrée quartz ou horloge externe
XTAL 2	3	Entrée quartz

Caractéristiques générales

Le 8048 est un micro-ordinateur complètement autonome qui traite des mots de 8 bits en parallèle. Livré dans un boîtier 40 broches, il contient une mémoire de programme en ROM de 1 K x 8 bits (1 K-octet), une mémoire de données en RAM de 64 x 8 bits, 27 lignes d'entrée-sortie et un compteur-temporisateur de 8 bits. De plus, l'oscillateur et les circuits d'horloge sont intégrés dans le boîtier.

Les figures 1 a, b, c, représentent le brochage, le symbole logique et le block diagramme du 8048. Son organisation interne est donnée figure 2.

Les systèmes exigeant une capacité supérieure peuvent être étendus en utilisant des mémoires standards et des circuits d'interface de la famille du 8080 ou du 8085.

Afin de réduire les problèmes de développement et pour fournir le maximum de souplesse il existe plusieurs versions interchangeables et compatibles de ce micro-ordinateur.

Tableau 1
Caractéristiques mémoires des micro-ordinateurs monochip de la famille MCS-48.

Micro ordinateur	Mémoire de données	Mémoire de programme	Mode de programmation
8048	ROM 1K x 8	RAM 64 x 8	Programmable par masque chez le fabricant
8049	ROM 2K x 8	RAM 128 x 8	
8748	EPRDM 1K x 8	RAM 64 x 8	Programmable par l'utilisateur
8035	Néant	RAM 64 x 8	Mémoire de programme en ROM ou PROM externe
8039	Néant	RAM 128 x 8	

Les prototypes et les systèmes de présérie seront développés avec un 8748 et sa mémoire de programme EPROM effaçable aux Ultra-violets et programmable par l'utilisateur.

Les grandes séries feront appel au 8048 qui possède une mémoire de programme fixée en ROM et programmée par masque chez le constructeur.

Le 8035 ne possède pas de

mémoire de programme et, par conséquent, nécessite l'adjonction de mémoires externes adjointes au système.

Les micro-ordinateurs 8748, 8035, 8049 et 8039 sont en tous points identiques au 8048 (même brochage, mêmes instructions, même nombre de lignes d'entrée-sortie...). Les particularités indiquées à chacun de ces circuits se situent uniquement au niveau de la mémoire de données (en RAM) et de la mémoire de programme (en ROM ou EPROM).

Le tableau 1 indique les caractéristiques mémoires des différentes variantes du 8048.

Architecture

Nous décrivons succinctement dans ce chapitre les différentes fonctions de micro-ordinateur, apparaissant sur le block diagramme de la figure 2.

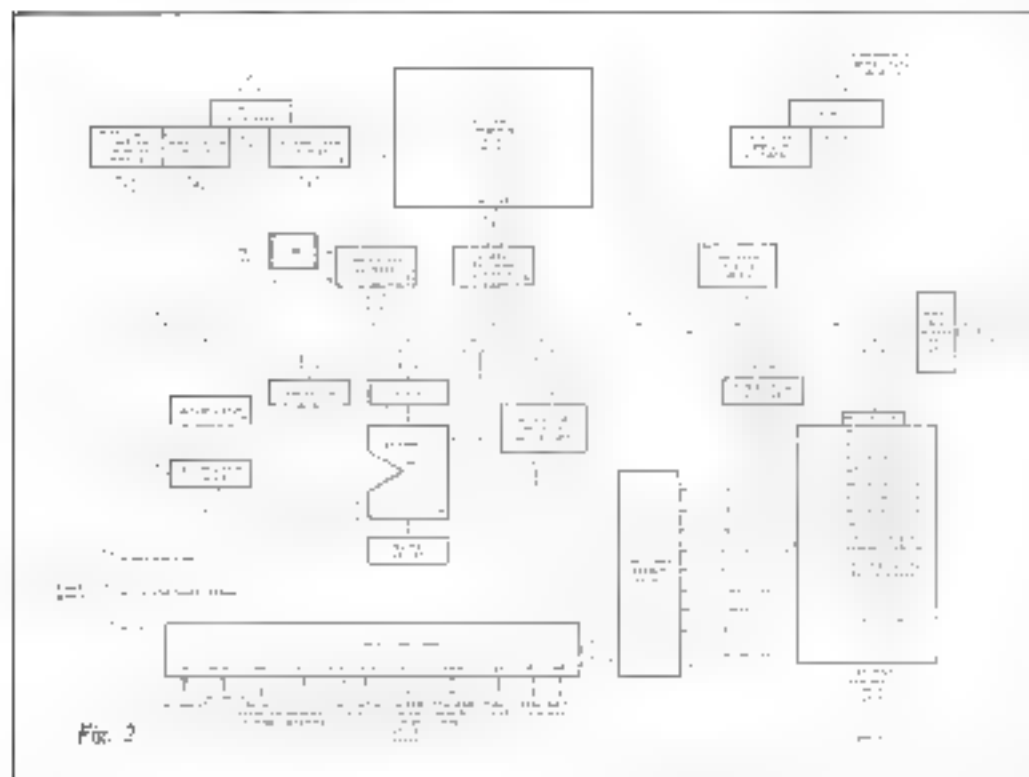
La partie arithmétique

Cette section arithmétique contient les fonctions de base de manipulation des données. Elle peut être divisée en :

- ALU (Arithmetic Logic Unit) l'unité arithmétique et logique
- Accumulateur (A)
- Flag de retenue
- Décodage d'instruction.

Dans une opération courante, la donnée stockée dans l'accumulateur est traitée dans l'ALU avec la

Fig. 2
Organisation interne du 8048



Le 8048 possède 27 lignes d'entrée-sortie organisées en 3 ports et 3 entrées « Test ».

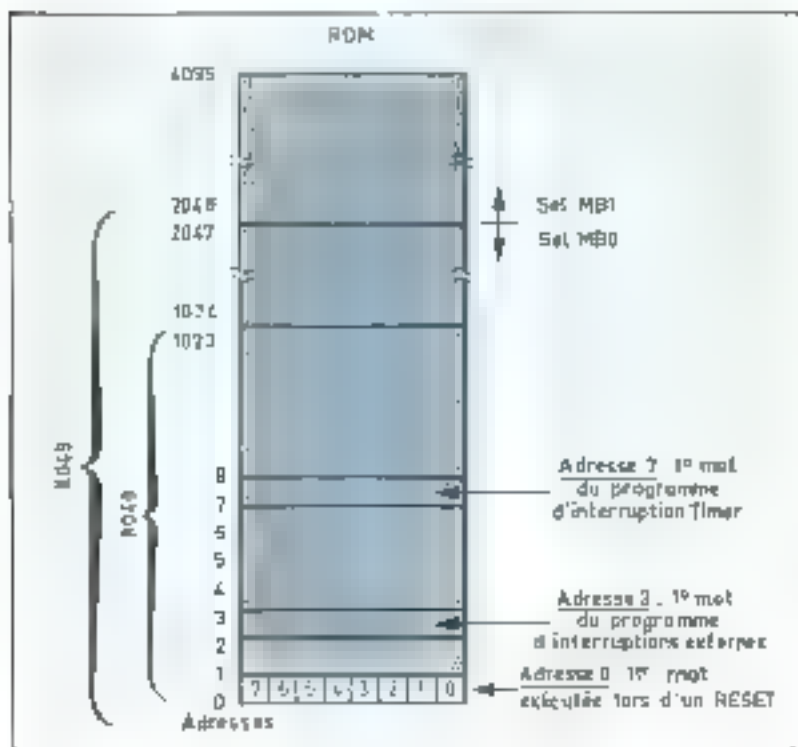


Fig. 3. La mémoire de programme et ses emplacements particuliers.

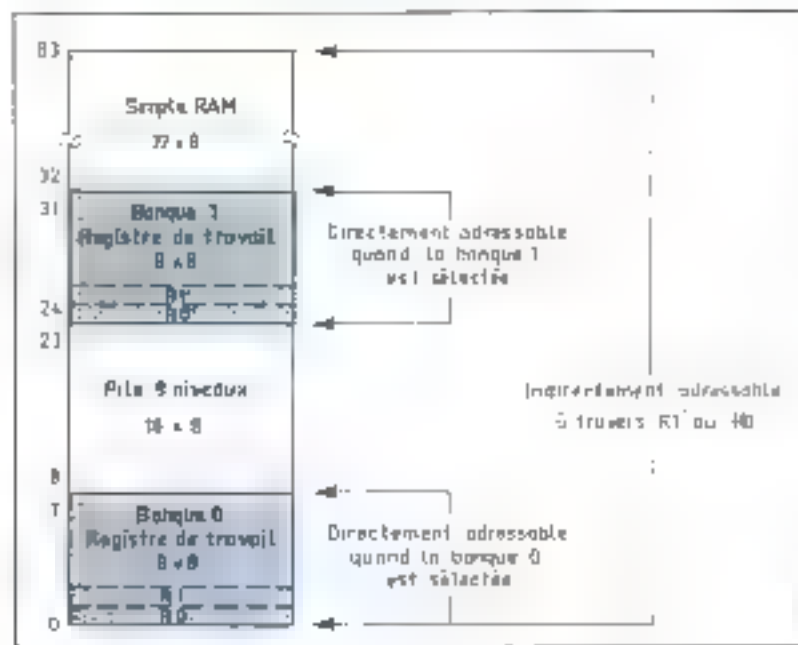


Fig. 4. Organisation de la mémoire de données résultant.

donnée issue d'une autre source présente sur le BUS interne (Registre, port E/S...) et le résultat est mémorisé dans A ou dans un registre

La mémoire de programme

La mémoire de programme, intégrée dans le boîtier, est organisée en 1024 ou 2048 mots de 8 bits adressés par le compteur de programme (en ROM pour les 8048 et EPROM pour le 8748).

Les instructions sont compatibles entre chaque version du 8048.

Il y a trois emplacements mémoire qui ont ici une importance toute particulière (fig. 3) :

— **Emplacement 0** : lorsque la ligne **RESET** est activée, le processeur recherche la première instruction à exécuter à l'adresse 0.

— **Emplacement 3** : la ligne d'interruption étant activée, le processeur exécute un saut en un sous-programme (si l'interruption est validée).

— **Emplacement 7** : à chaque dépassement de capacité du Timer/compteur, celui-ci délivre une interruption qui génère un saut en sous-programme (si l'interruption est validée).

Ainsi, la première instruction à être exécutée après initialisation est stockée à l'adresse 0, le premier mot d'un sous-programme d'une interruption externe est stocké à l'adresse 3 et le premier mot d'une routine de service du Timer/compteur à l'adresse 7.

La mémoire de programme peut être utilisée pour mémoriser des constantes aussi bien qu'un programme d'instructions.

Mémoire de données

La mémoire de données résidente (celle qui est dans le boîtier) est organisée en 64 ou 128 mots de 8 bits. Tous les emplacements mémoire sont adressables (adressage indirect à l'aide de deux registres pointeurs R₀ et R₁ stockés en RAM aux adresses 0 et 1 de la pile de registres (fig. 4)).

En outre, les 8 premières adresses (0 à 7), utilisées comme registres de travail, sont directement adressables par plusieurs instructions.

Puisque l'accès à ces registres est direct, ils sont généralement employés pour mémoriser des résultats intermédiaires fréquemment recherchés.

Lors de l'exécution d'une instruction « Register Bank Switch » (SEL RB), les cases mémoire 24 à 31, désignées en tant que registres de travail au lieu des emplacements 0-7, sont alors directement adressables.

Cette deuxième banque de registres est employée comme une extension de la première banque ou réservée pour un sous-pro-

* Register Bank Switch : sélection de la banque de registre.

glatisme d'interruption permettant aux registres de la banque 0 utilisés dans le programme principal d'être instantanément sauvés.

Notiez que si cette deuxième banque de registres est inutilisée les emplacements 24 à 31 sont toujours adressables pour une application générale en RAM.

Les entrées/sorties (E/S ou I/O)

Le 8048 possède 27 lignes d'entrée/sortie organisées de la façon suivante :

- 3 ports d'entrée/sortie de 8 lignes chacun soit 24 lignes E/S
- 3 entrées « Test » qui modifient la séquence du programme en fonction de leurs états, lorsqu'une instruction de saut est conditionnée par ces lignes.

Les ports 1 et 2

Les ports 1 et 2 de 8 bits ont des caractéristiques identiques. Les données écrites dans ces ports sont stockées stadiquement dans un registre de sortie jusqu'à ce qu'une nouvelle donnée soit écrite. En tant que port d'entrée, ces lignes ne sont pas « latched », c'est-à-dire que les données doivent être présentes jusqu'à leur lecture par une instruction d'entrée (IN A, P). Pour ces raisons, les 2 ports portent l'appellation « ports quasi bidirectionnels ».

Le BUS

Le BUS est un vrai port 8 bits bidirectionnel échantillonné instantané en entrée et en sortie.

L'instruction OUT A, BUS, A transfère le contenu de l'accumulateur A dans le BUS et l'instruction IN A, BUS mémorise dans A la donnée présente sur le BUS. Ces deux instructions génèrent des impulsions de validation de sortie et d'entrée sur les lignes RD et WR.

Lorsqu'elles ne sont pas lues ou écrites, les lignes de BUS sont à l'état haute impédance.

Entrées « Test » et « INT »

3 broches d'entrée peuvent être testées à l'aide d'une instruction de saut conditionnel : T₀, T₁ et INT. Ces entrées provoquent un débranchement du programme

sans pour cela charger le port d'entrée dans l'accumulateur.

Le compteur de programme (PC)

D'une longueur de seulement 16 (ou 11 bits, le compteur de programme peut adresser 1024 (ou 2048) mots de la mémoire de programme (fig. 6). Il est initialisé à zéro lorsque la ligne RESET est activée.

La pile

Une interruption ou l'appel d'un sous-programme (CALL) sauve le contenu du compteur de programme dans les 8 paires de registres d'une zone mémoire appelée pile (fig. 6). La paire utilisée est déterminée par un pointeur de pile (stack pointer) de 3 bits présent dans le mot d'état (PSW ou Program Status Word). La figure 7 représente la constitution du PSW.

Les emplacements mémoire RAM 8 à 23 sont disponibles en tant que pile de registres et utilisés pour stocker le compteur de programme et les 4 bits de puits fort du mot d'état.

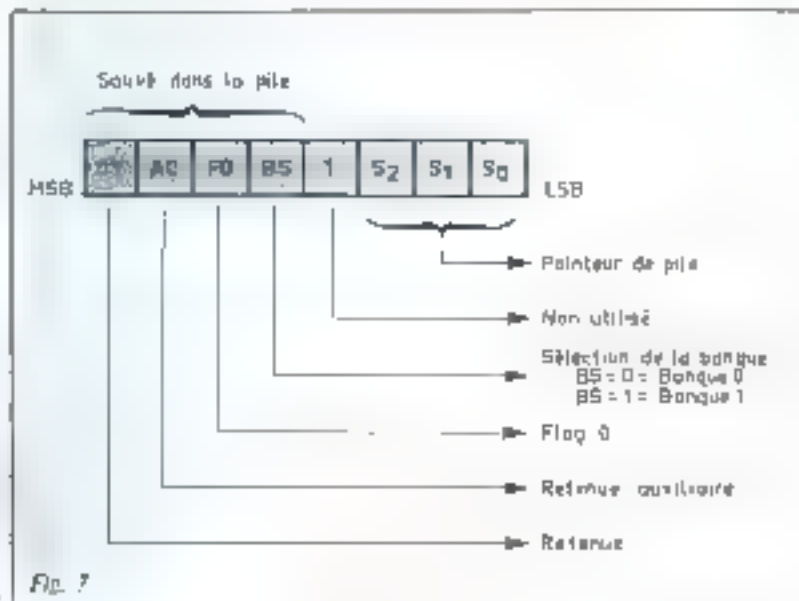
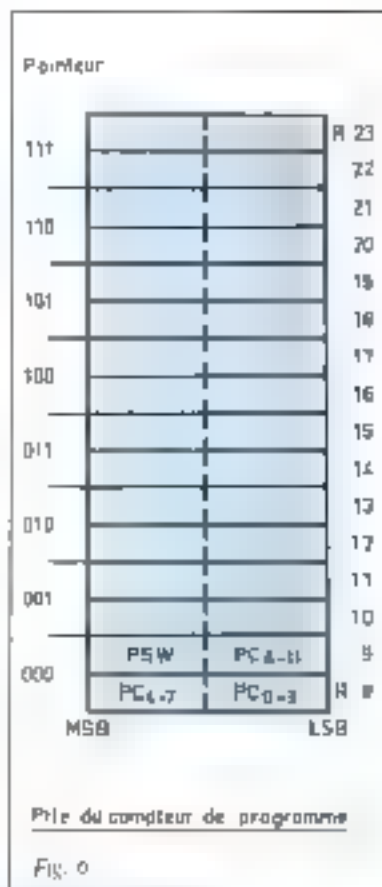


Fig. 7
Les 8 bits du mot d'état ou PSW

La longueur d'onde recommandée pour effacer la mémoire EPROM du 8748 est de 2537 Angstroms.

Quand le pointeur de pile est initialisé à 000, les emplacements RAM adressés sont 8 et 9. Le premier sous-programme de saut ou d'interruption transfère le contenu du compteur de programme aux emplacements 8 et 9. Le pointeur de pile est ensuite incrémenté de 1 et pointe les adresses 10 et 11 et ainsi de suite pour les autres CALL.

Le Timer/compteur d'événements

Le 8048 contient un compteur destiné à permettre aux utilisateurs de comptabiliser des événements externes ou de générer avec précision des temporisations sans pour cela avoir recours à des circuits supplémentaires pour réaliser ces fonctions. Dans les deux cas, l'opération de comptage est la même, la seule différence réside dans le choix de l'entrée du compteur.

Le compteur

Le compteur bitaire de 8 bits peut être positionné et lu à l'aide de deux instructions MOV qui transfèrent le contenu de l'accumulateur dans le compteur et vice versa (MOV A,C et MOV C,A).

Le contenu du compteur n'est pas affecté par un RESET et est initialisé par l'instruction MOV T,A et elle seule. Le comptage est arrêté par un RESET ou par une instruction STOP CNT et ne redémarre qu'après une instruction START T pour le temporisateur ou une instruction START CNT pour le compteur d'événements.

Une fois lancé, le compteur est incrémenté jusqu'à ce qu'il atteigne la valeur maximum de FF. Passé cette valeur, il continuera son comptage du point 00 après avoir positionné un signal de dépassement* de capacité (bit ou flag de dépassement) et demande la génération d'une séquence d'interruption. L'état du bit de dépassement de capacité peut être testé par une instruction de saut conditionnel JTF. Ce bit est annulé soit par un RESET soit par l'exécution de l'instruction JTF. La demande d'interruption est stockée dans une

mémoire (latch) et un CPU logique est exécuté avec l'entrée externe d'interruption INT. L'interruption issue du timer peut être validée ou interdite indépendamment de INT par les instructions EN TCNTI et DIS TCNTI. Si l'interruption est autorisée, le dépassement de capacité du compteur provoquera un appel de sous-programme à l'emplacement 7 de la mémoire de programme où la routine de service du timer/compteur doit être stockée. Si le microprocesseur reçoit simultanément des interruptions issues de l'extérieur et du timer, les interruptions externes seront prises en compte et le « CALL » se fera à l'adresse 3.

Compteur d'événements

L'exécution de l'instruction START CNT connecte la broche T₁ à l'entrée du compteur et valide le comptage. Ainsi, un front descendant sur T₁ incrémentera le compteur. Le comptage peut être réalisé au maximum une fois par cycle de trois instructions (c'est-à-dire toutes les 7,5 µs avec un quartz à 6 MHz).

D'autre part, l'entrée F doit rester à l'état « 1 » au moins 500 ns après chaque instruction.

Temporisateur

L'exécution de l'instruction START T connecte l'horloge interne à l'entrée du compteur et valide le comptage. Le signal d'horloge est divisé de façon à obtenir une fréquence de 12,5 kHz qui incrémente le compteur toutes les 80 ns. Des temps de temporisation situés entre 80 µs et 20 ms (256 impulsions) peuvent être obtenus en positionnant le compteur et le bit de dépassement.

Des temporisations supérieures à 20 ms sont atteintes en accumulant les bits de dépassement dans un registre sous le contrôle du logiciel.

Le 8748 : programmation, vérification et effacement

La mémoire de programme du 8748 peut être effacée et reprogrammée par l'utilisateur.

Programmation et vérification

Le processus de programmation consiste :

- 1 - Activer le mode programmation
- 2 - Appliquer une adresse
- 3 - Memoriser cette adresse
- 4 - Appliquer une donnée
- 5 - Envoyer une impulsion de programmation (+ 25 V)

La figure 8 représente le séquencement (timing) des diverses opérations à effectuer et indique la liste des broches employées, lors d'une programmation, ainsi que leurs fonctions respectives.

Notons qu'il existe deux outils d'aide à la mise au point commercialisés par le constructeur. Le premier appelé PROMIT 48 est un système à bas prix qui porte essentiellement sur un langage orienté vers la machine. Le second est le système de développement de micro-ordinateur Intellec permettant d'accéder à un langage d'assemblage.

Effacement du 8748

Pour effacer la mémoire de programme du 8748 il faut l'exposer aux ultra-violets (longueur d'onde recommandée par le fabricant : 2537 Angstroms (Å)). La dose d'ultra-violet nécessaire est calculée par le produit intensité x temps d'exposition et doit être au minimum de 15 W-sec/cm². Le temps d'effacement avec cette intensité est approximativement de 15 à 20 mn en utilisant une lampe d'une puissance de 12 000 µW/cm².

Le 8748 doit être placé à une distance de 2 à 3 cm du tube durant l'effacement.

Le logiciel

Les micro-ordinateurs de la famille MCS-48 sont dotés de 90 instructions d'une longueur de 1 ou 2 octets. Plus de 70 % de ces instructions sont codées sur 1 octet seulement. Chacune de ces instructions est exécutée en un ou deux cycles*, c'est-à-dire en 2,5 µs ou 5 µs, lorsque le signal d'horloge est délivré par un quartz de 6 MHz. Les instructions exécuta-

* Répétition au cycle.

* Temps de cycle : temps minimum nécessaire au déroulement de l'instruction. (voir la référence 49 à l'écran) d'une instruction.

bles en deux cycles sont principalement les instructions « immédiates » et d'entrées/sorties.

Le tableau II indique la liste des instructions exécutables par le 8048, vous y retrouverez le numéro ou l'abréviation anglo-saxonne de l'instruction, sa description, son code binaire, son code hexadécimal chaque fois que cela a été possible, la longueur de l'instruction en nombre d'octets et la durée d'exécution en nombre de cycles.

Pour réduire la place occupée par ce tableau, la description des instructions a été simplifiée au maximum et rendue la plus concise possible. Les remarques ci-dessous vous aideront, nous l'espérons, à le comprendre plus facilement.

1 - Le signe « @ »

Exemple : ADD A, @R.

Cette expression signifie que le contenu de l'emplacement mémoire adressé par les bits 0 à 5 du registre R est additionné à l'accumulateur A. Ceci a été résumé par « Addition de la donnée adressée par R à A ».

Ce type d'instruction ne peut être exécuté qu'avec deux regis-

tres R₀ et R₁ qui sont codés 0 et 1 respectivement.

2 - Le signe « # »

Exemple : ADD A, # data

L'instruction exécutable en deux cycles. La donnée présente dans le deuxième octet est additionnée à l'accumulateur. En fait, le code de cette instruction est :

1^{er} octet (code) :
 0 0 0 0 0 0 1 1

2^e octet (donnée) :
 d₇ d₆ d₅ d₄ d₃ d₂ d₁ d₀

3 - Lorsqu'un registre R est spécifié parmi les 8 registres de travail disponibles (R₀ à R₇), le registre choisi est codé sur 3 bits représenté dans ce tableau par rrr. Il suffit de remplacer rrr par le nombre binaire correspondant pour connaître le code de l'instruction.

4 - Dans les instructions d'entrées/sorties, les ports extérieurs au boîtier sont codés de la façon suivante :

Port	Code
00	4
01	5
10	6
11	7

Fig. 3 - Les signaux de programmation des unités composées de la façon suivante :

- 1 - Moteur V₁₂₀ = 5 V, signal d'allumage ; R_{ext} = 6 V ; T_{ext} = 5 V ; E_A = 5 V ; H_{ext} et P_{ext} = 0 V ou 5 V.
- 2 - Fonction de 8748 dans son signal.
- 3 - F_{ext} = Test 0 = 0 1.
- 4 - E_A = 2⁵ V (mode programmation).
- 5 - Fonction l'adresse sur H_{ext} et P_{ext}.
- 6 - R_{ext} = 5 V (détermination de l'adresse).
- 7 - Appliquer les données sur le BUS S₁ (V₁₂₀ = 2⁵ V) (détermination de programmation).
- 8 - P_{ext} = 0 1 (sans d'une impulsion de 25 V pendant 5 ms).
- 9 - V₁₂₀ = 5 V.
- 10 - T_{ext} = 5 V (mode de contrôle).
- 11 - Lire et vérifier les données sur le BUS.
- 12 - Test 0 = 0 1.
- 13 - R_{ext} = 0 1 et détermination à partir du port 5.

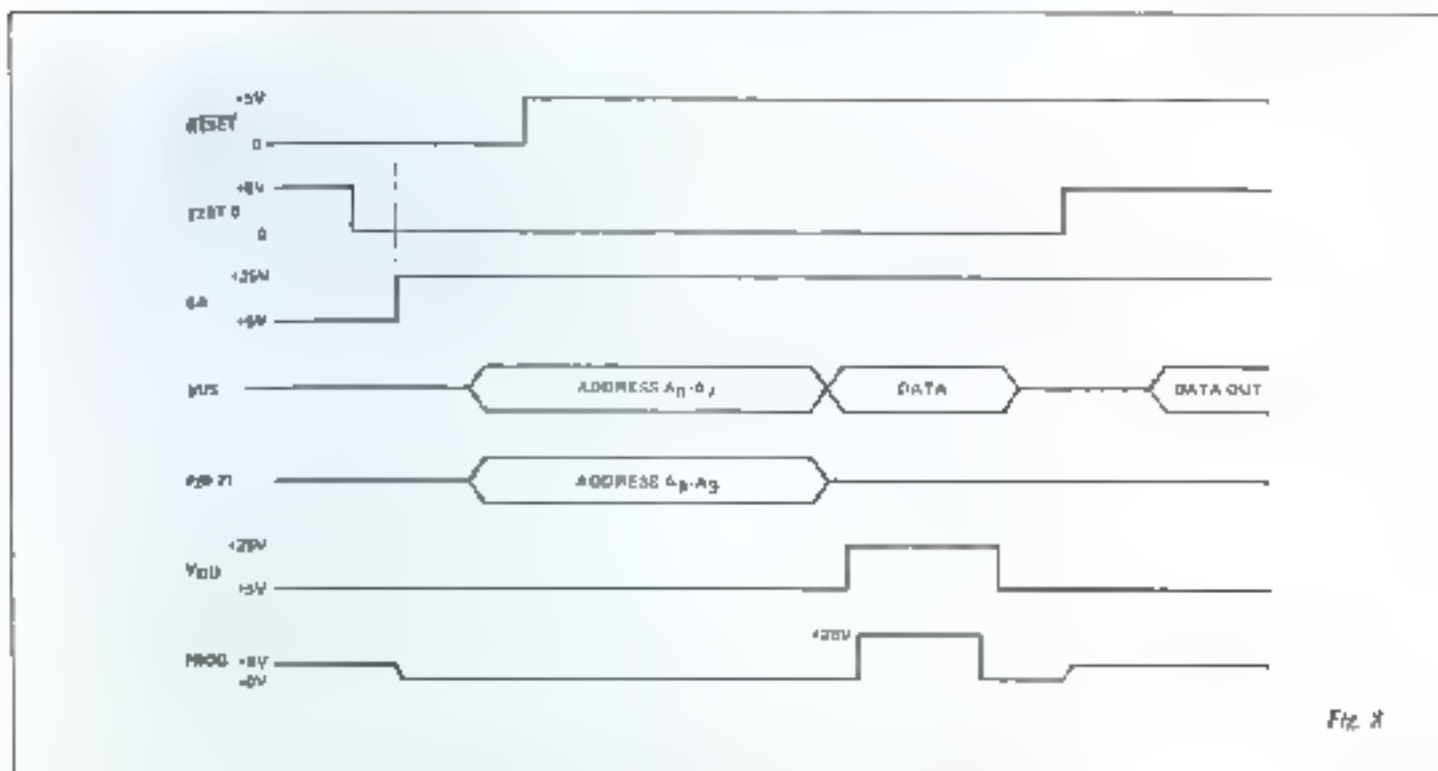


Fig. 3

Mnémonique	Description	Code		Code hexadécimal	Nbre d'octets	Nbre de cycles
Accumulateur						
ADD A,R	Addition du registre R à A	0110	1rrr	—	1	1
ADD A,@R	Addition de la donnée adressée par R à A	0110	000r	—	1	1
ADD A,# data	Addition immédiate à A	0000	0011	03	2	2
ADDC A,R	Addition de R et du bit de retenue à A	0111	1rrr	—	1	1
ADDC A,@R	Addition de la donnée adressée par R et du bit de retenue à A	0111	000r	—	1	1
ADDC A,# data	Addition immédiate de la donnée et du bit de retenue à A	0001	0011	13	2	2
ANL A,R	ET logique entre le registre R et A	0101	1rrr	—	1	1
ANL A,@R	ET logique donnée adressée par R et A	0101	000r	—	1	1
ANL A,# data	ET logique immédiat avec A	0101	0011	53	2	2
ORL A,R	OU logique entre le registre R et A	0100	1rrr	—	1	1
ORL A,@R	OU logique donnée adressée par R et A	0100	000r	—	1	1
ORL A,# data	OU logique immédiat avec A	0100	0011	43	2	2
XRL A,R	OU exclusif entre le registre R et A	1101	1rrr	—	1	1
XRL A,@R	OU exclusif donnée adressée par R et A	1101	000r	—	1	1
XRL A,# data	OU exclusif immédiat avec A	1101	0011	03	2	2
INC A	Incrémenter A	0001	0111	17	1	1
DEC A	Décémenter A	0000	0111	07	1	1
CLR A	Remise à zéro de A	0010	0111	27	1	1
CPL A	Le contenu de A est complémenté	0011	0111	37	1	1
DA A	Ajustement décimal de A	0101	0111	57	1	1
SWAP A	Les bits 0 à 3 de A sont échangés avec les bits 4-7	0100	0111	47	1	1
RL A	Rotation à gauche de A	1110	0111	67	1	1
RLC A	Rotation à gauche de A à travers la retenue	1111	0111	F7	1	1
RR A	Rotation à droite de A	0111	0111	77	1	1
RRC A	Rotation à droite de A à travers la retenue	0110	0111	67	1	1
Entrée-Sortie						
IN A,P	Entrée, le contenu du port (1-2) est transféré dans A	0000	10pp	—	1	2
OUTL P,A	Sortie, A est transféré dans le port p (1 ou 2)	0011	10pp	—	1	2
ANI P,# data	ET logique immédiat avec le port p (1 ou 2)	1001	10pp	—	2	2
ORL P,# data	OU logique immédiat avec le port p (1 ou 2)	1000	10pp	—	2	2
INS A,BUS	Entrée, la donnée présente sur le BUS est transférée dans A	0000	1000	08	1	2
OUTL BUS,A	Sortie, A est transféré dans le BUS	0000	0110	02	1	2
ANL BUS,# data	ET logique immédiat avec le BUS	1001	1000	98	2	2
ORL BUS,# data	OU logique immédiat avec le BUS	1000	1000	88	2	2
MOVD A,P	Entrée, le port externe (4 à 7) est transféré dans A	0000	11pp	—	1	2
MOVD P,A	Sortie, A est transféré dans un port externe (4 à 7)	0011	11pp	—	1	2
ANLD P,A	ET logique entre un port externe et A	1001	11pp	—	1	2
ORLD P,A	OU logique entre un port externe et A	1000	11pp	—	1	2
Registres						
INC R	Incrémenter le registre R	0001	1rrr	—	1	1
INC @R	La donnée adressée par R est incrémentée	0001	000r	—	1	1
DEC R	Décémenter le registre R	1100	1rrr	—	1	1
Branchement						
JMP addr	Saut inconditionnel à l'adresse spécifiée	01000000	0100	—	2	2
JMPP @A	Saut indirect (adressage par A)	1011	0011	B3	1	2
DJNZ R,addr	Décémentation et test de R. Saut si (R) ≠ 0	1110	1rrr	—	2	2
JC addr	Saut si la retenue est à 1	1111	0110	F6	2	2
JNC addr	Saut si la retenue est à 0	1110	0110	E6	2	2
JZ addr	Saut si (A) = 0	1100	0110	C6	2	2
JNZ addr	Saut si (A) ≠ 0	1001	0110	96	2	2
JTO addr	Saut si le test TO est à 1	0011	0110	36	2	2
JT0 addr	Saut si TO = 0	0010	0110	26	2	2
JT1 addr	Saut si T1 = 1	0101	0110	56	2	2

Mnémonique	Description	Code		Code hexadéc.	Nbre d'octets	Nbre de cycles
JNTJ addr	Saut si T1 = 0	0100	0110	46	2	2
JFO addr	Saut si le flag 0 est à 1	1011	0110	66	2	2
JF1 addr	Saut si le flag 1 est à 1	0111	0110	76	2	2
JTF addr	Saut si le flag du registre compteur/timer est à 1	0001	0110	16	2	2
JNI addr	Saut si l'entrée « Interrupt » est à 0 (INT)	1000	0110	86	2	2
JBH addr	Saut si le bit b1 parmi 8 de Y est à 1	b2b1b0	0010	—	2	2
Sous-programme						
CALL	Saut à un sous-programme	1100	0100	—	2	2
RET	Retour de sous-programme	1000	0011	83	1	2
RETR	Retour de SP et restauration des sauts	1001	0011	93	1	2
Flags						
CLR C	Mise à zéro du bit de retenue (carry)	1001	0111	97	1	1
CPL C	Complémenter le bit de retenue	1010	0111	A7	1	1
CLR F0	Mise à zéro du flag 0	1000	0101	85	1	1
CPL F0	Complémenter le flag 0	1001	0101	95	1	1
CLR F1	Mise à zéro du flag 1	1010	0101	A5	1	1
CPL F1	Complémenter le flag 1	1011	0101	B5	1	1
Transfert de données						
MOV A,R	Transfert du registre R dans A	1111	1rrr	—	1	1
MOV A,#R	Transfert d'une donnée adressée par R dans A	1111	000r	—	1	1
MOV A,#data	Chargement immédiat de A	0010	0011	23	2	2
MOV R,A	Transfert de A dans le registre R	1010	1rrr	—	1	1
MOV @R,A	Transfert de A dans une case mémoire adressée par R	1010	000r	—	1	1
MOV R,#data	Chargement de la donnée dans le registre R	1011	1rrr	—	2	2
MOV @R,#data	Transfert de la donnée dans la mémoire adressée par R	1011	000r	—	2	2
MOV A,PSW	Transfert du mot d'état (PSW) dans A	1100	0111	C7	1	1
MOV PSW,A	Transfert de A dans le mot d'état	1101	0111	D7	1	1
XCH A,R	Echange de A et du registre R	0010	1rrr	—	1	1
XCH A,#R	Echange de A et d'une donnée adressée par R	0010	000r	—	1	1
XCHD A,#R	Echange A et de 4 bits d'une donnée adressée par R	0011	000r	—	1	1
MOVB A,#R	Transfert d'une donnée adressée par R dans A	1000	000r	—	1	2
MOVB @R,A	Transfert de A dans la mémoire adressée par R	1001	000r	—	1	2
MOVW A,#A	Transfert d'une donnée adressée par A dans A	1010	0011	A3	1	2
MOVW @A,A	Transfert donnée adressée par A dans A (page 3)	1110	0011	E3	1	2
Timer-compteur						
MOV A,T	Transfert du Timer/compteur dans A	0100	0010	42	1	1
MOV T,A	Transfert de A dans le Timer/compteur	0110	0010	62	1	1
STR T	Démarrage du timer	0101	0101	55	1	1
STR CNT	Démarrage du compteur d'événements	0100	0101	45	1	1
STOP CNT	Arrêt du timer ou du compteur	0110	0101	65	1	1
EN TCNT	Interruption du Timer/compteur autorisée	0010	0101	25	1	1
DIS TCNT	Interruption du Timer/compteur interdite	0011	0101	35	1	1
Contrôle						
EN I	Autorisation des interruptions externes	0000	0101	05	1	1
DIS I	Interdiction des interruptions externes	0001	0101	15	1	1
SEL R0	Sélection de la banque de registres 0	1100	0101	C5	1	1
SEL R1	Sélection de la banque de registres 1	1101	0101	D5	1	1
SEL M0	Sélection de la banque mémoire 0	1110	0101	E5	1	1
SEL M1	Sélection de la banque mémoire 1	1111	0101	F5	1	1
ENTO CLK	La broche TO est validée comme sortie d'horloge	0111	0101	75	1	1
NOP	Pas d'opération	0000	0000	00	1	1

EMAP

SYSTEME DE DEVELOPPEMENT CARTES STANDARD

EMAP : UNE SOLUTION HOMOGENE POUR VOS APPLICATIONS MICROPROCESSEURS ET LEUR MAINTENANCE :

Le système de développement EMAP

- mise au point et maintenance — un pupitre interactif;
- système autonome — un assembleur résident;
- mise au point en temps réel — une prise synchro oscilloscope.

Les cartes standards EMAP (au format double européen).

- CPU 4 K : 0,5 K RAM / 3,5 K PROM / 8 interruptions / 1 canal DMA;
- CPU 5 K / 8 K : 1 K RAM / 4 ou 7 K PROM ou ERÖM / 8 interruptions / 1 canal DMA / 111 indicateurs de périphériques / 1 canal série programmable (2653-PCI) • RAM 4 K : mémoire 4 K octets;
- 64 E/S : carte d'extension 64 Entrées/Sorties.

EMAP : un jeu de cartes dans un système professionnel économique.

R.T.C. met son expérience mondiale à votre service, votre avantage est évident.



R.T.C. LA RADIODÉCHNIQUE - COMPELEC
130, AVENUE LEDRU-ROLLIN - 75540 PARIS CEDEX 11
TEL. 355.44.99, POSTE 630

signetics

« Qu'il ne le demande pas seulement lorsque des mots de sa vie, mais des sons et de la substance ; et qu'il juge du profit qu'il en aura fait, non par le témoignage de sa mémoire mais de sa vie. »
Mauriac, Essais

Six leçons pour programmer

Il y a de cela une trentaine d'années, et avec des moyens techniques qui sont à l'électronique d'aujourd'hui, ce que la machine à vapeur est au jet, plusieurs équipes entreprirent de construire (à grands frais) d'énormes assemblages de tubes et de relais, constituant les premières calculatrices électroniques. Les mots « informatique » et « ordinateur » n'ont été forgés, chez nous, que bien plus tard. Pour les anglo-saxons, l'ordinateur reste un « computer » et l'informatique, le « computer science » (littéralement : la science du calculateur).

Ce que les pionniers de l'informatique ont apporté, à l'époque héroïque, ce n'est pas une innovation technologique, puisqu'ils ont assemblé les premiers ordinateurs avec les moyens du bord, autrement dit, des « composants » qui existaient déjà (héritages du radar, de la téléphonie, etc.) ; c'est plutôt un ensemble de principes nouveaux.

Ces principes définissent une famille de machines (les ordinateurs) dont la fonction est de manipuler de l'information en grandes quantités et à grande vitesse, et de prendre des décisions en fonction de ces informations ; le tout s'effectuant sous contrôle d'une séquence d'ordres modifiables, le programme enregistré dans une mémoire.

Pour celui qui est un peu curieux de l'histoire et de l'évolution des techniques, il est tout à fait remarquable d'observer que l'essentiel des idées maîtresses, en ce qui concerne l'élaboration des programmes, ont été dégagées en quelques années par les tout premiers « informaticiens ». Et, tandis que l'art de programmer demeure étonnamment stable, la technologie, elle, n'en finit pas de se surpasser...

L'impact des technologies récentes

Il n'est pas utile de redire ici comment les unités centrales d'ordinateur, d'énormes machineries de laboratoire, sont devenues des circuits intégrés accessibles au grand public, en vente dans toutes les bonnes boutiques...

Ce qui nous importe surtout, c'est que l'ordinateur soit devenu, littéralement, à la portée de tous, ce qui est attesté, entre autres, par l'existence même d'une publication comme celle où paraissent ces lignes. Nous pouvons ainsi affirmer, à l'instar d'un homme célèbre, que « tout le monde a été, est, ou sera profane ». »



Le mini-ordinateur « Instructeur 50 » est basé autour d'un microprocesseur 2650 de Signetics. La magnétole à cassette sur lequel il est possible de recevoir des programmes est de type « audio ».

Les nécessités de l'initiation

La plupart d'entre nous sait aujourd'hui (ou saura) conduire une automobile, sans pour autant être expert en mécanique, ou piloter aux vingt-quatre heures du Minus ! Il devrait bientôt en être de même pour les petits ordinateurs « domestiques », car leur cœur se situe dès à présent entre celui d'un vélomoteur et (précisément) celui d'une voiture.

Devenir un bon conducteur, cela tient bien sûr très largement à l'expérience acquise en parcourant beaucoup de kilomètres ; avec de l'habitude, on peut conduire à peu près n'importe quel type de véhicule avec la même aisance. Ceci dit, il faut bien faire des premières armes avec tel modèle de telle voiture, et (à préférence) en compagnie d'un bon constructeur qui guidera les débuts ; sans oublier l'indispensable apprentissage du « code ».

Pour des raisons du même ordre, nous avons retenu pour cette série d'articles d'initiation, un petit matériel de début, qui nous a paru particulièrement bien adapté.

L'instructeur 50

Représenté en France par la RTC, l'Instructeur 50 est un petit système très complet, animé par le microprocesseur Signetics 2650. Abandonnant au plus vite les sacro-saintes généralités « théoriques », ce système va nous permettre de « faire marcher » tout de suite, sur un mini-ordinateur réel, chacun des mécanismes dont nous aurons vu le principe.

Nous préférons remettre à plus tard la description technique de détail de l'appareil. En effet, la conception de l'Instructeur 50 fait une large place au programmeur (Monteur) qui anime tout le montage, et c'est en quelque sorte mettre la charnue devant les bœufs, que d'expliquer précisément comment il est fait, avant la programmation proprement dite.

Aussi nous contenterons-nous, dans un premier temps, d'une sorte de « leçon de choses » qui nous permettra sa mise en œuvre pratique pour l'étude des principes de la programmation. Après quoi, bien sûr, nous serons en mesure d'expliquer le montage (sophistiqué) qui nous aura aidés dans nos premiers pas !

La conception du micro-ordinateur est axée sur un programme appelé « Moniteur » qui gère le fonctionnement du système

Notre outil : l'Instructeur 50

Aspect extérieur

L'Instructeur 50 (nous abrégons « I 50 » dans toute la suite) est un micro-ordinateur d'imitation de la seconde génération. *strictement* dit, nous avons affaire non à une carte d'électronique nue, mais à un équipement carrossé, foré par un pupitre, qui tend à intégrer un maximum de fonctions de base.

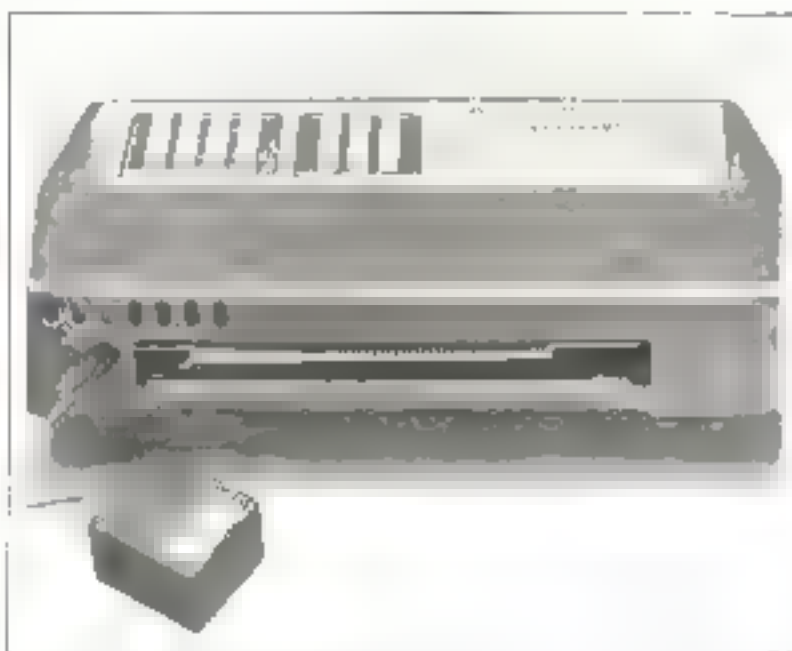
Si l'on jette un coup d'œil sur la face arrière de l'I 50, on peut apercevoir par les ouvertures une grande carte imprimée, qui supporte tous les éléments actifs du système. On repère aisément l'orifice qui permet le raccordement d'alimentation : celui-ci est disposé pour recevoir le cordon « basse tension » (8 V) d'un petit transformateur livré avec.

C'est sur la carte même que le courant est redressé, adapté et stabilisé. Les amateurs, aux États-Unis, tendent à imposer comme une « norme » de fait une telle approche de la distribution de puissance électrique dans les micro-ordinateurs.

- un distribue un certain nombre de tensions « grossières » à partir d'une alimentation primaire ;
- sur chaque carte électronique, un monte des dispositifs de régulation strictement adaptés au sous-ensemble, constituant une alimentation locale.

Cette approche a deux avantages. D'abord, elle est économique vis-à-vis des montages traditionnels, où l'alimentation centrale *unique* doit être conçue en fonction du sous-ensemble le plus exigeant du système, et être réglée de manière adéquate pour la consommation *totale*. Un avantage technique, ensuite, est l'*élimination* à peu près complète des problèmes de *transport de « bruit »* par les lignes d'alimentation.

Regardons maintenant l'I 50 par dessous, pour constater que le socle comporte un certain nombre de découpes : ces découpes sont disposées pour que l'un ait accès aux divers connecteurs (par cavités) sur lesquelles il peut être utile



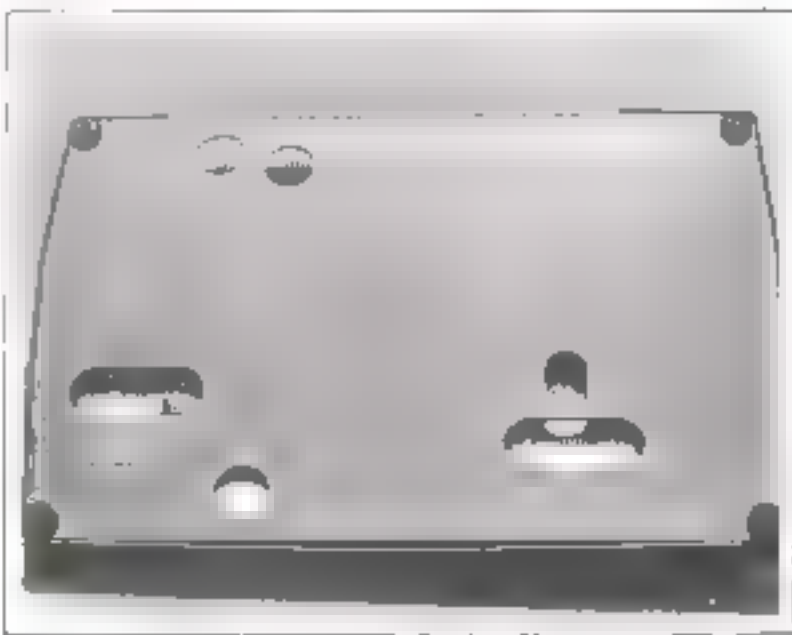
L'I 50 vu par sa face arrière. On aperçoit le cordon d'appoint, avec son BUNN 100, la première prise à quatre broches d'alimentation.

d'intervenir. De sorte que l'utilisateur de l'I 50 n'a pas besoin, normalement, de démonter le système.

Dans le cadre de notre série d'articles, nous n'aurons pas l'occasion de toucher à quoi que ce soit de ce côté. Une exception cependant : un repère le commutateur bien apparent, qui permet la sélection,

d'un pousset du pupitre, ou bien des pédales du secteur 50 Hz).

Notre curiste étant satisfait dans une certaine mesure, nous pouvons reporter notre attention sur le pupitre de l'I 50 : partie du système que nous fréquenterons le plus.



Vue de dessous. L'entremise à gauche permet la sélection de la source d'alimentation, pousset du pupitre, ou pédales secteur.

Le pupitre de dialogue

Inclinée à 45 degrés, une petite fenêtre donne accès à un jeu de huit afficheurs, à sept segments et point.

Par le truchement de ces afficheurs, l'I 50 nous fera voir ce qui se passe dans le micro-ordinateur : état du programme, valeurs en mémoire, messages, etc. A la mise sous tension, l'I 50 affiche un sympathique « hello » pour commencer le dialogue.

Devant cette fenêtre sont disposés deux claviers. Celui de droite comporte seize touches, marquées de 0 à 9 et de A à F ; c'est le clavier d'entrée de données hexadécimales (si le lecteur n'est pas encore familier avec la notation hexadécimale, qu'il sache simplement que c'est plus simple que ça n'en a l'air).

Le clavier de gauche comporte douze touches de fonctions, qui servent au pilotage de l'I 50. La plupart des touches sont réservées pour des commandes, telles la modification en mémoire, le pas à pas, la lecture et l'écriture de cassette... Deux des touches avaient des entrées d'événement : SERIAL (entrée binaire « série ») et INTERRUPT (interruption).

Tout à gauche sur le pupitre sont disposés en rangée huit petits commutateurs, et, en regard, autant de voyants électroluminescents, qui représentent des entrées/sorties parallèles élémentaires (références « PARALLEL I/O »). Ils s'accompagnent d'un commutateur à trois positions, qui permet de varier leur « mode d'emploi ».

Deux voyants supplémentaires (RI S, FLAG) reflètent l'état de deux braches importantes de l'unité centrale. Un dernier commutateur (INTERRUPT) donnera deux variantes au mécanisme de prise en charge des interruptions par le microprocesseur 2650.

On notera enfin, dans l'angle supérieur droit du pupitre, les deux prises pour le raccordement d'un (vulgaire) magnétophone à cassette. Sans autre outillage, il sera possible de récupérer sur cassette « audio » des programmes élaborés dans l'I 50, et, plus tard, de les



Le pupitre de dialogue : clavier d'entrée des données (1), touches de fonctions (2) ; 8 commutateurs d'entrée/sortie (3) ; voyants de visualisation RI S et FLAG (4) ; un commutateur « INTERRUPT » (5) ; prises de raccordement cassette (6), et un affichage digital à 8 digits.

retire pour les mettre en œuvre à nouveau.

Il faut insister sur le fait que l'on emploiera un magnétophone tout à fait ordinaire, et non un coûteux matériel « informatique ».

Ceci dit, s'il vous vient l'idée d'écouter le genre de « musique » qu'enregistre l'I 50, autant vous prévenir que sa valeur « artistique » est nulle, et même franchement insupportable !

Architecture interne

Dans le manuel de l'I 50 figurent, pour référence, les schémas complets du constructeur. En ce qui nous concerne, nous pourrions nous contenter d'une description de principe, fondée sur le schéma synoptique de la figure 3.

Le noyau du micro-ordinateur est constitué de deux circuits intégrés de grande densité (LSI), pour les amateurs d'abréviations anglo-saxonnes) : à savoir, le microprocesseur 2650 proprement dit, et son circuit « auxiliaire » 2656. A eux deux, ces circuits assurent déjà un grand nombre de fonctions :
- horloge et séquençement, à par-

tir d'un cristal qui « bat » à la fréquence de 3,58 MHz, l'horloge proprement dite est à 895 kHz (après division par 4),

- traitement de l'information, dans le 2650 qui comporte l'unité arithmétique et logique (ALU) et les registres de travail associés ;

- mémoire contenant le programme Moniteur, soit 2048 positions de mémoire morte (ROM) ;

- mémoire de travail de ce même programme, soit 128 positions de mémoire vive (RAM) ;

- décodage des adresses, assurant la sélection des autres composants du montage.

Les sous-ensembles du micro-ordinateur sont rebus ensemble par deux voies principales, les voies bus (bus) sont des liaisons électriques logiquement groupées, et miniaturisées sur la carte électronique par des « pistes » imprimées, qui circulent plus ou moins parallèlement les unes aux autres. Sur le schéma, on les trouve représentées par les traits léchés.

La voie d'adresse sert à désigner, par un numéro codé l'adresse, au sens informatique ; ce sens est d'ailleurs très voisin du sens usuel (les différents éléments de montage : position de mémoire,

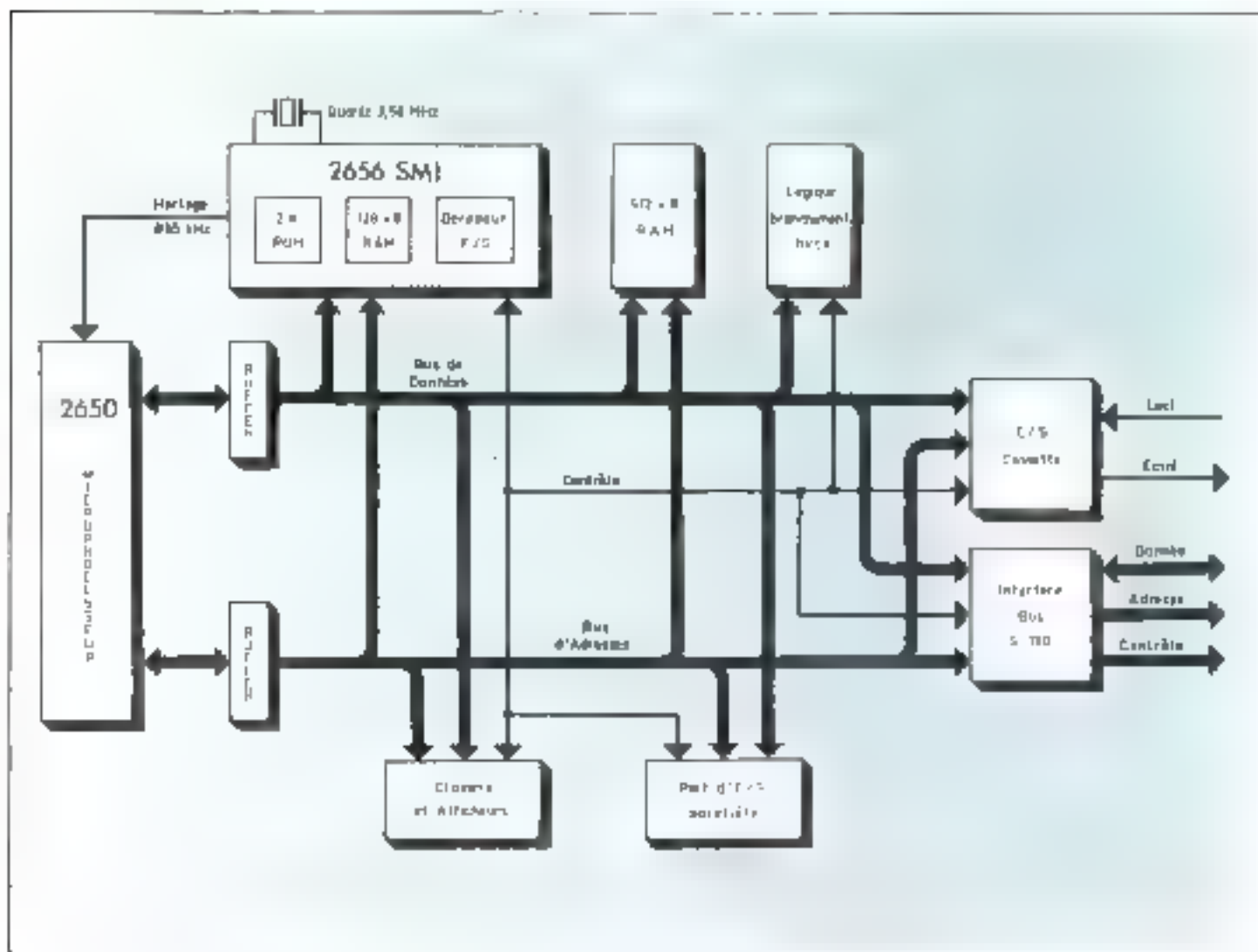


Fig. 1 - Schéma de principe d'un ordinateur 8080.

entrée au stade d'information. La voie d'adresse est à sens unique, et c'est le microprocesseur 8080 qui l'alimente, selon l'état courant du programme.

La voie de données est à double sens; elle sert de passage aux informations proprement dites. Alternativement, le microprocesseur lit des informations à partir de sources désignées par l'intermédiaire de la voie d'adresse (par exemple la mémoire de programme), et écrit en désignant de la même façon une destination (par exemple, une « sortie » comme celle qui est matérialisée par les huit voyants groupés sur le pupitre).

La troisième voie, dite

« contrôle » sert précisément à distinguer entre les différentes opérations des deux précédentes, par des signaux caractéristiques du sens lecture ou écriture et de l'instant où ont lieu les échanges d'information.

Entre le microprocesseur et les voies de donnée et d'adresse sont représentés des « buffers »; ceux-ci sont nécessaires parce que le microprocesseur est d'une technologie qui n'autorise pas de débiter des courants importants. D'où le recours à des éléments qui sont tout simplement des « amplificateurs » un peu particuliers.

Le schéma de principe est très caractéristique des montages de micro-ordinateurs, qui s'organisent précisément autour des trois voies : adresse, données et

contrôle. Sur ces voies sont disposés, outre le microprocesseur, des éléments de mémoire (pour le stockage des programmes et des données) et des éléments d'entrée/sortie pour l'échange d'informations avec le « monde externe ».

Dans l'80, on trouve raccordés sur les bus :

- le 2656 déjà mentionné, qui regroupe plusieurs sortes d'éléments fonctionnels en un seul et cuit;
- 512 positions de mémoire vive (RAM) qui servent notre espace de travail privilégié;
- les différents dispositifs pour la lecture du clavier et l'affichage, l'accès aux commutateurs et voyants du pupitre, ainsi que le

* Le pupitre, ainsi que les voyants, sont alimentés par des piles. La commande de l'ordinateur est assurée par un clavier à 26 touches. Les voyants sont alimentés par des piles. La commande de l'ordinateur est assurée par un clavier à 26 touches.

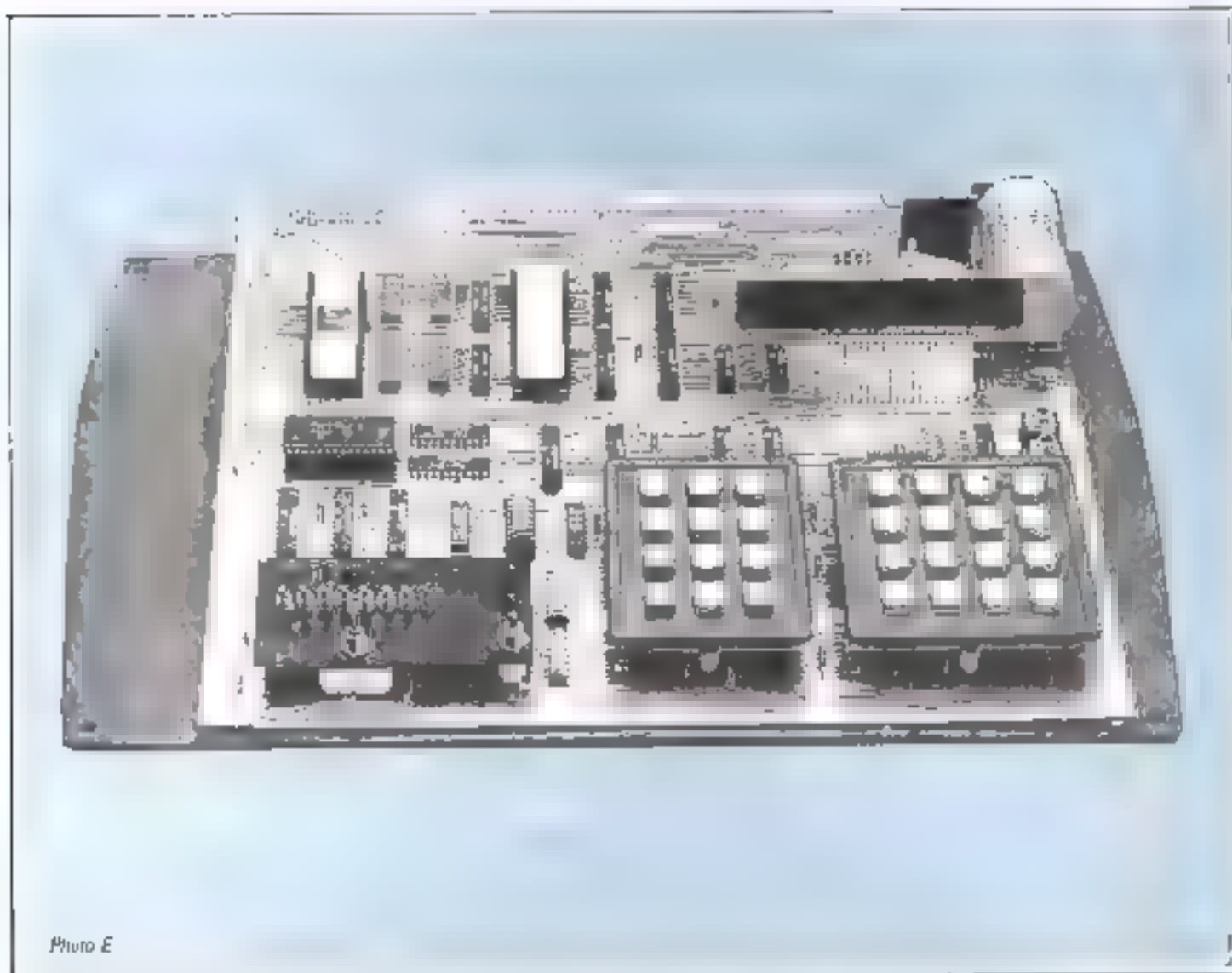


Photo E

L'interface est constitué sur un circuit imprimé unique facilement accessible.

contrôle de l'enregistrement sur cassette.

— L'interface pour « BUS S 100 » qui permet de « prolonger » les voies internes du montage vers l'extérieur, par l'intermédiaire du connecteur qui apparaît à l'arrière de T150, et selon une disposition « standard ».

On note enfin la présence d'un bloc relié au logique de branchement force. Ce bloc permet, par des armoires que nous ne détaillerons pas, la surveillance du déroulement des opérations, grâce à des « pièges » qui exploitent (à notre profit) le programme Monitor.

Principes du fonctionnement

Comme tout ordinateur le microprocesseur 2650 fonctionne selon un mécanisme très simple dans son principe qui enchaîne et répète indéfiniment trois étapes élémentaires.

1 - Sélection et acquisition d'un ordre codé, ou **instruction**.

2 - Décodage de l'instruction, qui s'accompagne souvent de « calculs » auxiliaires pour déterminer (par une adresse), quel élément sera affecté.

3 - Exécution proprement dite de l'instruction, recouverte d'une information, addition, entrée, sortie.

Les instructions sont **ordonnées**

dans une succession de positions de mémoire, pour constituer un **programme** qui s'exécutera par leur enchaînement automatique.

Dans la première étape, le microprocesseur recourt aux bus d'une façon toujours semblable par les voies d'adresse et de contrôle, il désigne un élément de mémoire, cet élément de mémoire fournit sur la voie de données le « **code-opération** » qui caractérise une instruction. Certaines instructions occupent plus d'une position de mémoire (ce qui est indiqué par leur code-opération) : en ce cas, le microprocesseur renouvelle l'accès-mémoire autant de fois que nécessaire. En ce qui concerne le 2650, ceci a lieu de une à trois fois.

Pour certaines instructions, le microprocesseur ne fait intervenir que des éléments « internes » ; autrement dit, les bus du micro-ordinateur ne sont plus concernés, jusqu'à l'instruction suivante.

Pour d'autres instructions, qui mettent en jeu soit la mémoire, soit un élément d'entrée ou de sortie, les bus sont de nouveau sollicités. Par exemple, pour « écrire » sur les voyants du pupitre, le microprocesseur désignera le dispositif correspondant grâce à la voie d'adresse et par des signaux de contrôle caractéristiques ; simultanément, la « donnée » sera présentée sur la voie du même nom ; le résultat sera la « copie » de cette donnée, dans un registre qui alimente les voyants, et qui les maintiendra, en l'état tant qu'une autre opération semblable ne sera pas effectuée.

De cette description très sommaire, quelques points sont à retenir :

- Le bus de donnée est somme toute assimilable à une voie unique de chemin de fer, sur laquelle se succèdent, en dérivation, les sources et les récepteurs d'information.

- Les informations sont « signalées » en fonction d'adresses toutes délivrées par le microprocesseur.

- Poursuivant l'analogie, on peut dire que le bus de contrôle assure la « signalisation » indispensable.

Il est clair, dès lors, que les grandeurs importantes pour caractériser le système sont :

- La « largeur » des voies de donnée et d'adresse.

- La « vitesse » de circulation des informations, dont dépend directement la rapidité d'exécution des programmes, puisque les instructions consécutives sont véhiculées sur le même chemin que les « données » proprement dites.

En ce qui concerne le microprocesseur 2650, la voie de donnée comporte 8 lignes en parallèle, ce qui permet de transporter une unité d'information standard de 8 « bits », que l'on peut interpréter

comme huit fois « 0 » ou « 1 » : cette unité s'appelle l'octet (byte, en anglais).

L'octet est largement adapté dans l'informatique (et singulièrement en micro-informatique) car l'on s'aperçoit qu'il correspond à un grand nombre d'usages pratiques :

- représentation de nombres entiers de 0 à 255,

- représentation des grandeurs à 1 % près,

- codage de très larges « alphabets » de transmission (lettres majuscules et minuscules, chiffres, signes de ponctuation, symboles mathématiques),

- codage de deux chiffres décimaux, etc.

La voie d'adresse comporte, elle, 15 lignes ; numériquement, cela se traduit par la possibilité de désigner 32768 (32 K) « entités » différentes : principalement, des **positions de mémoire**. Par une signalisation différente, liée aux instructions dites « d'entrée/sortie », il sera possible en outre de désigner 256 sources et 256 destinations, dans ce dernier cas. 8 lignes d'adresse seulement, parmi les 15, sont significatives.

Ainsi se définit un « **espace adressable** » qui va en pratique bien au-delà des besoins (dans la majorité des cas). Dans l'150, moins de dix pour cent de l'« espace-mémoire » (2048 + 128 + 512 positions, par rapport à 32768), et moins de cinq pour cent de l'« espace d'entrée/sortie » (9 adresses effectives, par rapport à 256), sont réellement occupés. Ce qui permet d'affirmer que bien des extensions sont inimaginables !

Quant à la cadence des transferts, elle se déduit directement de la fréquence d'horloge de 895 kHz, quand l'on sait qu'un octet est échangé tous les trois « tps » : soit, après calcul, toutes les 3,33 microsecondes. Dans d'autres montages, le 2650 peut aller sensiblement plus vite ; le choix de cette vitesse pour l'150 est lié, entre autres, à la facilité du calcul de certaines temporisations. Cette vitesse sera, de toute manière, amplement suffisante pour nos

besoins, puisque nos programmes, pour la plupart, s'exécuteront en moins de temps qu'il n'en faut pour réfléchir un bouton-poussoir !

Perspectives

Dans ce qui précède, nous nous sommes efforcés de donner de l'150 une vision globale et aussi « intuitive » que possible. Il ne s'agit pas, dans notre esprit, de simplifier les choses ; mais bien plutôt de vous amener à la même perception que les programmeurs de métier ont de leurs machines. Cette perception est aussi synthétique que possible, de telle sorte que l'attention peut se porter davantage sur la **compréhension des problèmes d'application**, que sur le menu détail technique de l'outil.

Dans les prochains chapitres, nous nous attacherons plus particulièrement à la démarche qui mène d'un problème à la mise en place d'une solution correctement programmée.

Il nous semble essentiel d'insister sur cet aspect de la micro-informatique avant de revenir sur la conception des montages. En effet, la clé du succès des applications réside le plus souvent dans un bon compromis entre les éléments matériels et les programmes. Ceci est particulièrement vrai pour la conception de systèmes bon marché incorporant un microprocesseur. Et l'amateur, s'il dispose rarement de grandes ressources financières, pourra mettre en jeu sans réserve son temps et son imagination, pour aboutir à des résultats qui se compareront favorablement aux meilleurs productions professionnelles. ■

Jean-Michel COUR *

* Jean-Michel COUR anime le Groupe « Informatique Informatique » spécialisé dans l'expertise micro-informatique au sein de la société CISE.

Alarme anti-vol à microprocesseur

Comme toute une série d'applications à microprocesseurs, cette alarme peut être réalisée soit à partir d'un kit d'évaluation (clavier, afficheurs, unité centrale, moniteur, mémoires vives, etc.) soit en éléments discrets indépendants.

Nous sommes heureux de vous la présenter avec le « 2650 » de Signetics, un des plus puissants microprocesseurs, en jeu d'instructions, entièrement statique. Après une courte présentation du principe de fonctionnement d'une alarme temporisée et une description sommaire du 2650, deux réalisations vous seront présentées, toutes deux en boîtiers indépendants — mémoire PROM et unité centrale. La première peut être câblée en wrapping, la seconde sur circuit imprimé.

Deux éléments peuvent cependant poser quelques difficultés à nos amis lecteurs intéressés par cet ensemble : le circuit imprimé toujours délicat à élaborer et la mémoire PROM qu'il faut bien sûr programmer. Ces deux éléments, Micro-Systèmes peut les mettre à votre disposition et contribuer ainsi au succès de votre entreprise.

Enfin, nous vous conseillons de regarder attentivement les diagrammes : « lecture de l'article », « réalisation » et « mise au point ». Ils constituent des exemples amusants de construction d'organigrammes et vous permettront, nous l'espérons, de nous lire avec le maximum de profit.

Principe

Comme le montre l'organigramme de la figure 1, cette alarme temporisée teste en permanence une boucle de garde. Deux temporisations s'attachent à sa coupure. Pour partir tranquillement de la maison, ou pour pouvoir manipuler en toute sécurité la boucle ouverte sur un présentoir où elle entoure des objets, par exemple, il faut une première temporisation d'inhibition de l'alarme. Il est donc possible d'ouvrir ou fermer la boucle pendant le temps T_1 ; l'alarme ne retentira pas. Passé ce délai, le dispositif se met dans l'état de garde proprement dit : il teste l'ouverture du circuit à la vitesse de quelques centaines de milliers de vérifications par seconde... Rien de plus simple.

Fig. 1. — Organigramme simplifié de l'alarme.

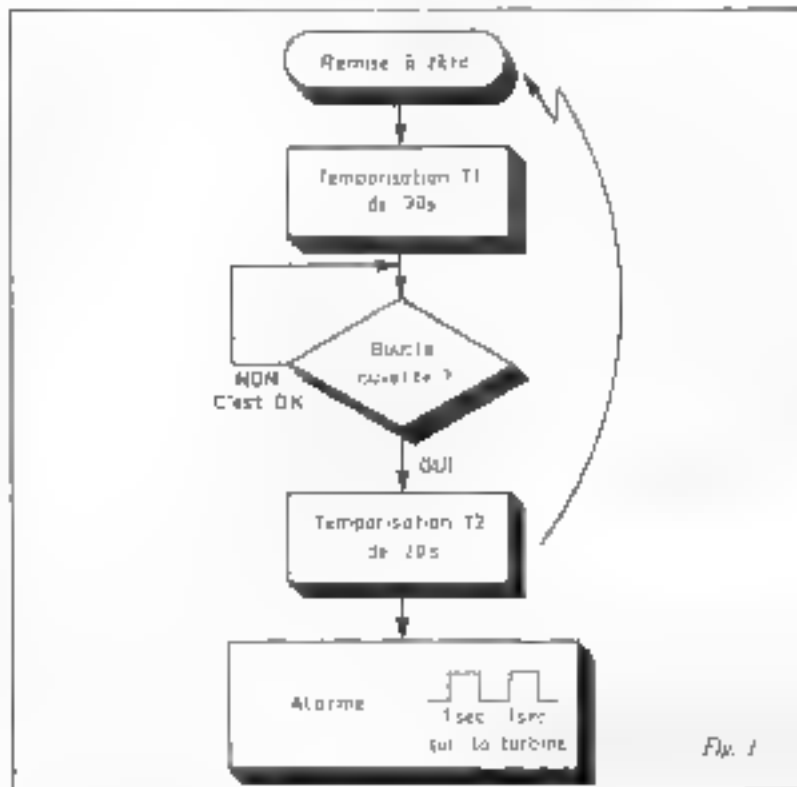


Fig. 1

Si la boucle s'ouvre, il y a deux possibilités : soit c'est le retour des maîtres du lieu et l'alarme doit les reconnaître, soit ce sont les effrayers. Dans tous les cas, le programme prévoit une deuxième temporisation T₂. Relativement courte, celle-ci servira aux connaisseurs pour désamorcer l'alarme : appuyer sur le bouton « Remise à zéro », dissimulé dans un placard demande quelques secondes, 10 ou 15 au plus. Si la R.A.Z. n'a pas eu lieu après T₂ secondes, on lance un programme d'alarme sonore.

Prévu pour travailler avec une sirène à turbine, le dispositif envoie des signaux courts à l'échelle de la seconde, c'est le plus efficace en dissuasion.

Le « 2650 »

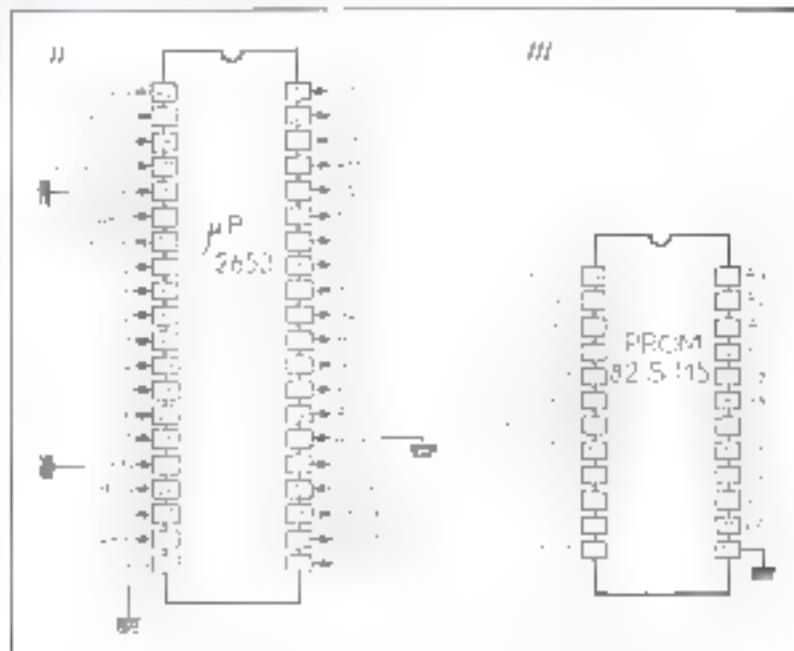
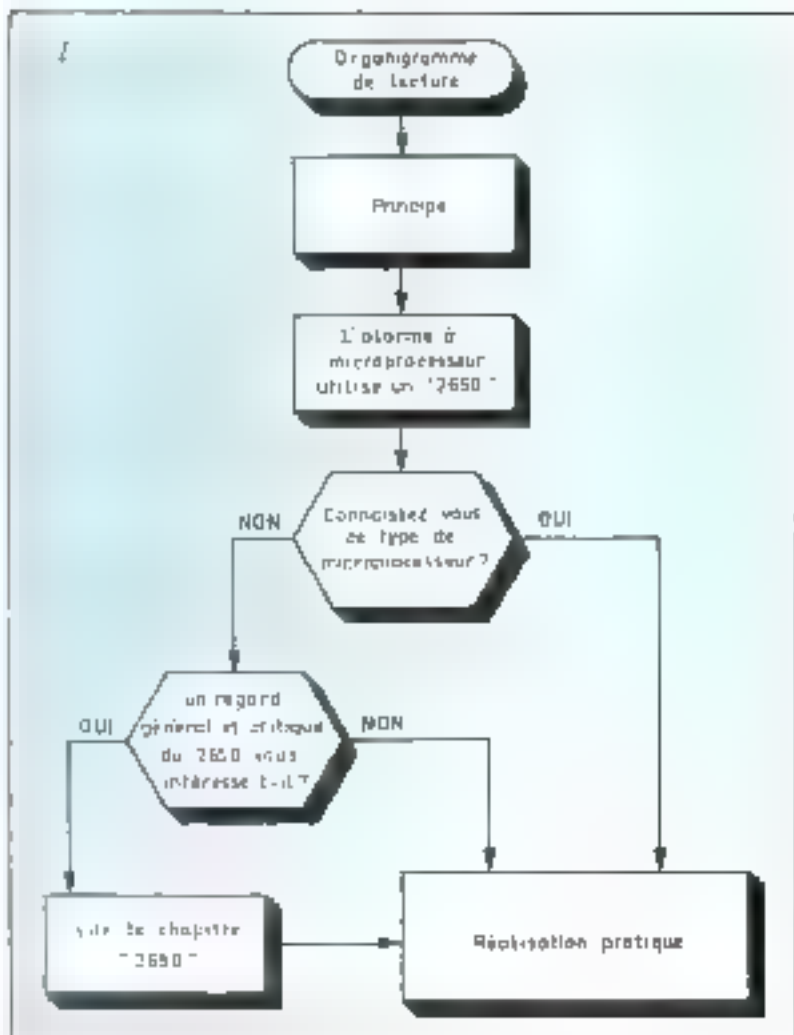
L'Unité centrale de ce système microprocesseur-8 bits (annexe, figure 2), un nombre record de registres : elle dispose d'une banque de 7 registres généraux de 8 bits, d'une pile de 8 doubles-registres de 16 bits et d'un mot d'état très complet, en 16 bits. Les 7 registres servent aux opérations arithmétiques ou logiques et aux manipulations, comme autant d'« Accumulateurs ». La pile de doubles registres peut contenir des adresses de retour de sous-programmes pouvant s'imbriquer sur huit niveaux, comme le ferait une portion quelconque de mémoire vive (RAM).

Le mot d'état est divisé en deux octets : PSL* pour la partie haute et PSL* pour la partie basse. Les différents bits peuvent être testés, stockés, chargés, mis à un ou à zéro à l'aide du jeu d'instructions.

I - Organigramme de lecture. Les données proviennent sans interruption, suite le programme « 2650 ».

II - Branchement des composants 2650 (vue de devant).

III - Branchement de la mémoire PROM (vue de devant).



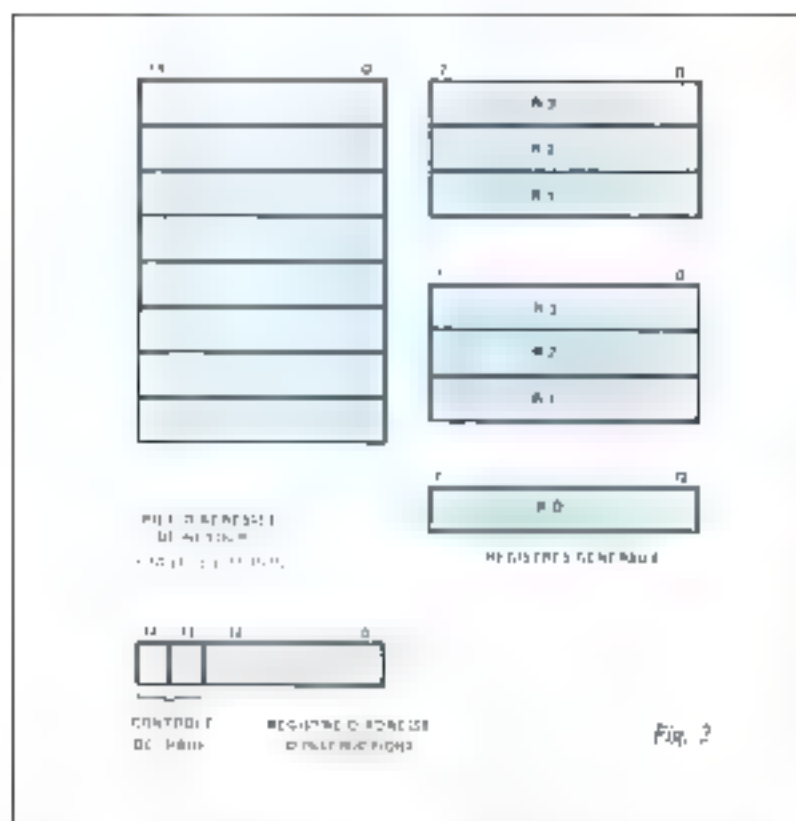
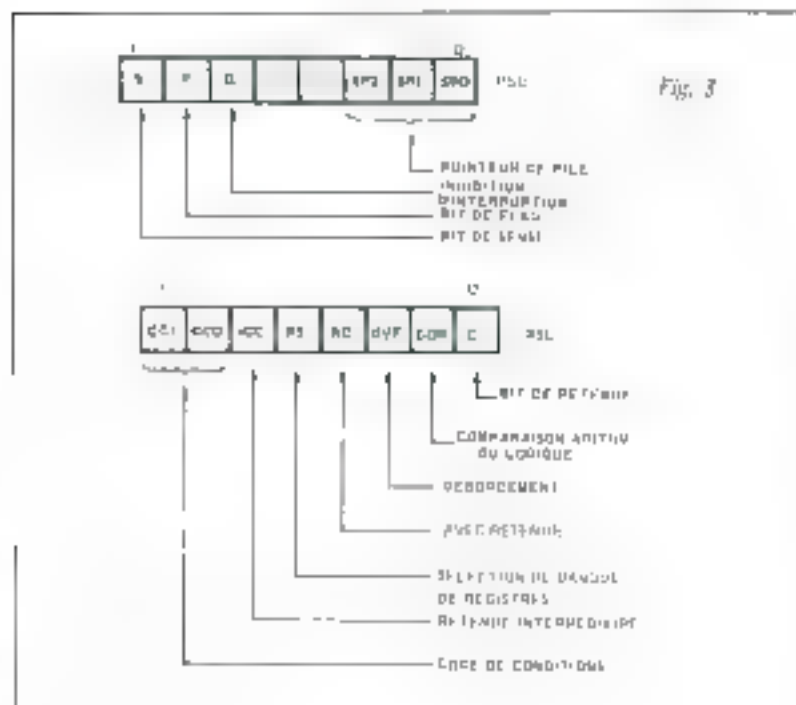


Fig. 2 - Le « 2650 » possède 4 registres généraux, une pile de 3 doubles registres et un mot d'état.

Fig. 3 - Le mot d'état est divisé en 2 octets PSU et PSL.



PROM
Programmable Read
Only Memory.
Mémoire morte
programmable
DMA - Direct Access
Memory Access dans la
mémoire.
Pou : flux d'entrée/
sortie

La signification de chacun des bits du mot d'état est donné figure 3.

Le grand nombre de registres et le fait d'implanter la pile d'adresses de retour dans l'Unité centrale permettent de réaliser des systèmes simples, en deux boîtiers, unité centrale et PROM¹, relativement élaborés du point de vue de la programmation. Par exemple, nous utilisons une procédure avec la transmission de variables, tout comme l'aurait fait un CALL (X, Y, Z) en Fortran ou autres langages évolués.

Le 2650 est entièrement statique. Il peut être piloté en pas à pas à la main, au coup par coup, ou arrêté prématurément et simplement par la coupure de l'horloge. Seuls deux microprocesseurs CMOS en sont capables : le 6100 d'Inersil, qui s'est attribué le jeu d'instructions du PDP 8 de Digital et le COSMAC de RCA. Tous les autres microprocesseurs en MOS comme N ont des registres dynamiques, même s'ils se vantaient d'être statiques. Exemple : le SC/MP de NS, ses registres d'adressage de bus sont dynamiques et les adresses se « perdent » si l'on descend l'horloge à moins de 10 kHz. Pour le reste, il est à 99% statique.

La robustesse des bus du 2650 l'autorise à fonctionner avec douze LEDs connectées au bus adresses et huit autres au bus des données, traitement qui tout en n'étant pas recommandé, fait la joie du néophyte qui veut suivre, à chaque pas d'horloge, ce qui se passe durant l'exécution d'une instruction. Nous lui conseillons de ne pas oublier de mettre des résistances de 330 à 470 Ω en série avec chaque LED.

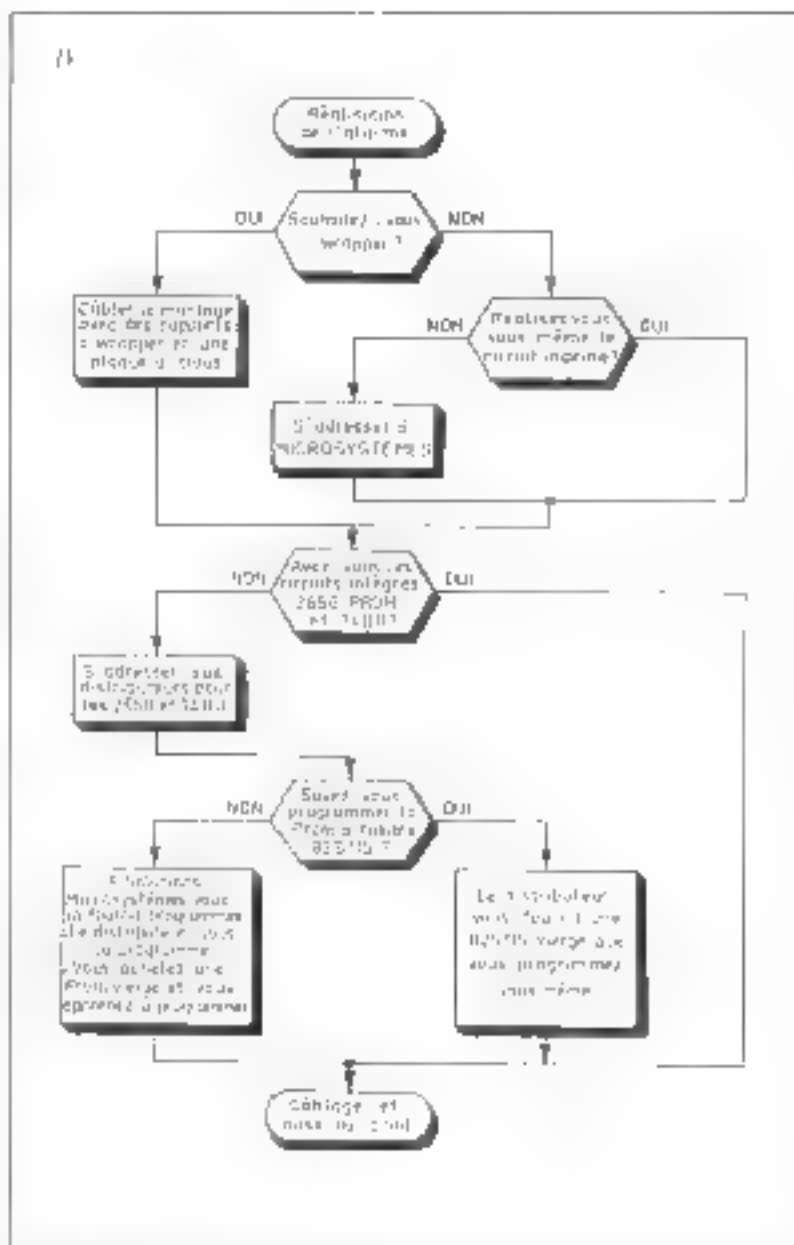
En plus de la possibilité de figer ses bus et de les visualiser, le 2650 peut les placer en état haute impédance « Tri-state ». En conséquence, on rencontrera des configurations multi-processeurs où il est possible d'accéder en DMA² aux mémoires. Rappelons pour expliquer l'emploi des LEDs, que les sorties du microprocesseur peuvent commander une entrée TTL (74) standard ou quatre entrées TTL LS, LP (74 LS), c'est-à-dire 1,6 mA max. Lorsque les entrées

TTL Schottky présentent des transistors PNP (toute la gamme 8T ou 82 S... par exemple). ■ nombre de brochers commandés est bien plus important.

En ce qui concerne le brochage, mise à part A_{15} - A_{14} (15 et non pas 16 fils d'adresse comme à l'accoutumée), (P.-D) et des signaux RESET, \overline{RD} , $\overline{R/W}$ présents dans la plupart de tous les microprocesseurs actuels, on rencontre des particularités : une entrée et une sortie (SENSE et FLAT) peuvent être lues et modifiées, respectivement, par programme. Le boîtier est particulièrement « socable ». Ses échanges avec les circuits environnants sont complets, il entretient à chaque fois un accusé de réception, qu'il s'agisse de la réception, d'une interruption \overline{INTACK} ou de l'envoi d'une demande d'opération \overline{DACK} , \overline{DEN} et \overline{AEN} valident respectivement les bus de données et d'adresses et commandent leur mise en haute impédance. L'unité centrale peut s'arrêter après l'exécution de l'instruction en cours par un \overline{PAUSE} .

Parmi les 15 fils d'adresse, 13 fils A_0 - A_{12} jouent en première ligne le rôle d'adresses alors que A_{13} , A_{14} sont multiplexés : ces deux fils représentent soit les bits de plus fort poids d'une adresse-mémoire, A_{13} , A_{14} sont E-NE (mode étendu ou non-étendu) ou D/C (données ou contrôle). Ce multiplexage reflète le partage de l'espace adressable en deux régions distinctes, l'une réservée aux mémoires RAM et ROM de programme et l'autre réservée exclusivement aux entrées/sorties, prévues dans le jeu d'instructions. Pour départager les rôles de ces deux fils, un troisième bit de contrôle, \overline{MIO} , indique à l'état haut (H) qu'il s'agit d'un adressage-mémoire ou d'une opération d'entrée/sortie lorsque \overline{MIO} est à l'état bas. Ce partage rappelle le PDP-8 et le 6100M d'Intel. Il permet la gestion aisée d'un panneau avant, par exemple, ou d'une multitude d'entrées/sorties, occupant chacune une adresse définie par A_0 - A_{14} .

Généralement, les autres microprocesseurs réservent un ou deux



11 - L'organisation de réalisation permet à vous guider dans la recherche des composants. La route est à votre disposition le circuit imprimé et la mémoire PROM déjà programmée.

bits de mémoire pour un coupleur pouvant manipuler 16 à 24 périphériques. Ce coupleur existe par ailleurs dans la famille Signetics, sous la référence 2655 et sous-porte d'un 8255 d'Intel, dans il copie les trois ports de 8 bits programmables, peut mémoriser des interruptions sur des fronts programmés et fonctionner dans des modes nouveaux.

Ainsi, nous pouvons manipuler

des périphériques même dans la zone-mémoire de programme.

Réalisation

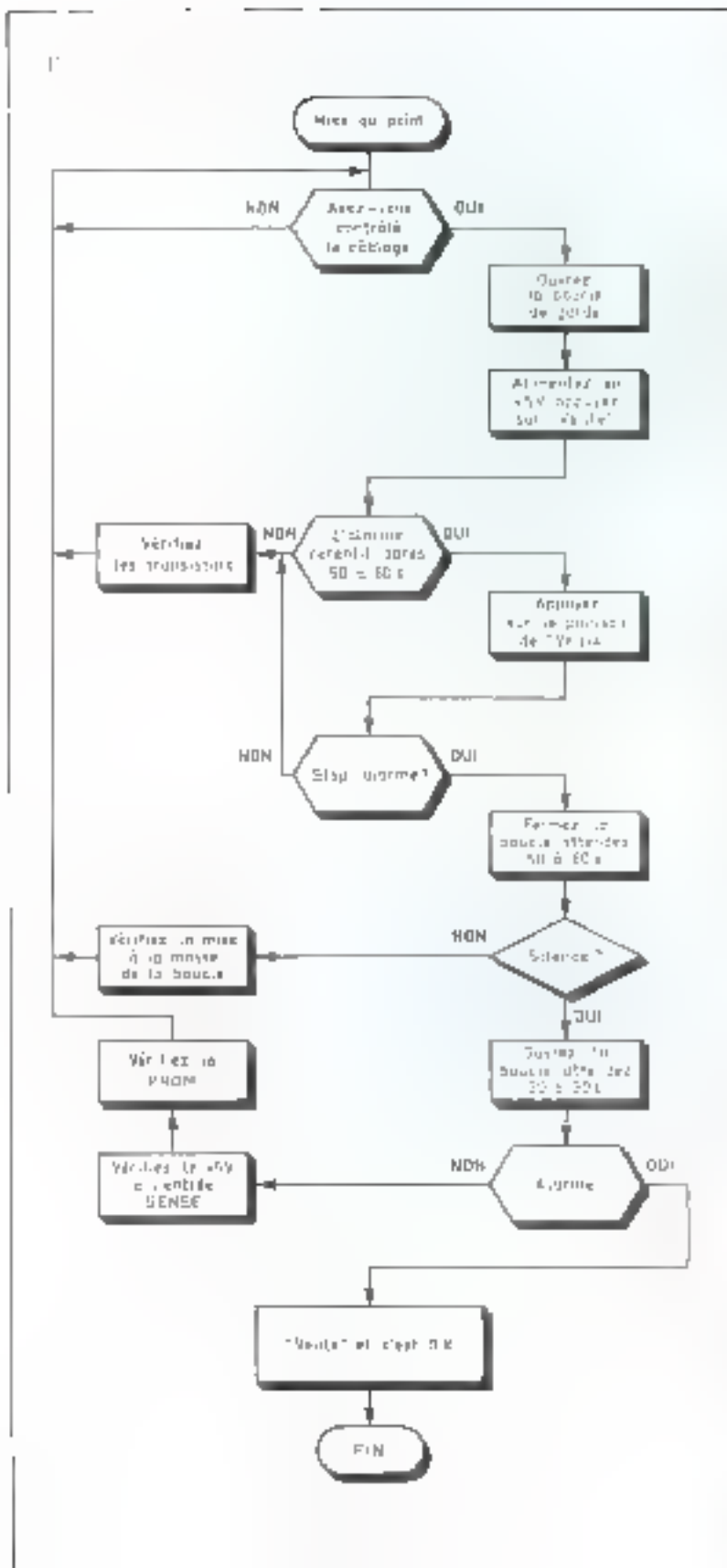
Sur le schéma de fonctionnement de la figure 4 nous remarquons la boucle de gardiennage à l'entrée \overline{SENSE} du microprocesseur. Si tout va bien, on doit trouver le niveau zéro sur cette entrée. En cas de coupure, la tension de l'entrée \overline{MOS} en question remontera au +5 V grâce à R_1 .

IREC - Institut de Recherche
Électronique
RUE DE LA LIBERTÉ
63000 LEZ
TÉLÉPHONE : 03 44 00 11 11
TELEX : 440000
557000 - Bureau
de Vente des Produits
Électroniques
10, rue de la République
41000 AMBRES
41000 AMBRES

PIP MICRO-PROCESSEUR DE NIVEAU 1						PAGE 2	
LIN	OP	Lab	Rs	R2	DA	OPRND	OPRND2
1							
2							
3							
4							
5							
6							
7							
8							
9							
10		VS4					
11		VS1					
12		VS2					
13		VS3					
14		VS0					
15							
16							
17							
18							
19							
20							
21							
22							
23							
24							
25							
26							
27							
28							
29							
30							
31							
32							
33							
34							
35							
36							
37							
38							
39							
40							
41							
42							
43							
44							
45							
46							
47							
48							
49							
50							
51							
52							
53							
54							
55							
56							
57							
58							
59							
60							
61							
62							
63							
64							
65							
66							
67							
68							
69							
70							
71							
72							
73							
74							
75							
76							
77							
78							
79							
80							
81							
82							
83							
84							
85							
86							
87							
88							
89							
90							
91							
92							
93							
94							
95							
96							
97							
98							
99							
100							

Fig. 6 - Liste de programmation de la mémoire PROM Remarque: a l'adresse 40, le sous-programme de test

1974, vol. 7, n. 4, pp. 24 - 30



Les trois registres seront décré- mentés à partir de leurs valeurs initiales et testées à zéro dans trois boucles imbriquées durant les retards. Selon cet organigramme, ou plan de travail, nous obtenons le programme de la figure 6.

Le programme

Le haut de la page de listing donne les colonnes. Ainsi, sur la colonne-adresses on constate que le programme se contente de 4 D (ou 77₁₆ mots de 8 bits).

Ce résultat surprenant nous permettra de choisir une mémoire de programme PROM ou EPROM minuscule (elles commencent à 128 mots.)

Pour des raisons de coût, nous choisissons la mémoire PROM à fusibles 825 115. Vous pouvez également programmer une EPROM type 2758 de chez Intel. La programmation d'une PROM à fusibles, pour si peu de mots, peut se faire manuellement. En principe, on doit remonter la tension d'alimentation après avoir adressé le mot à programmer, à 10 V et l'appliquer aux sorties que l'on veut voir à 1, une à une, en respectant un temps de montée assez lent.

Câblage

Pour ceux qui désirent wrapper, la figure 7 montre les brucées des composants tels qu'ils devraient prendre place sur un support à trous pour wrapping. Les bus A₀-A₇ et D₀-D₇ seront reliés. A₀ attaque l'entrée C₀ de la mémoire (PROM valide C₀). Les entrées munies d'un « + » doivent être connectées au +5 V, certaines autres, à la masse. Le RESET sortant du 7400 sera relié à son homologue sur le 2650. Toutes les broches non utilisées sur la figure 4

1. Les lettres en gras indiquent l'ordre dans lequel les composants du système doivent être câblés sur le bus plan de programmation.

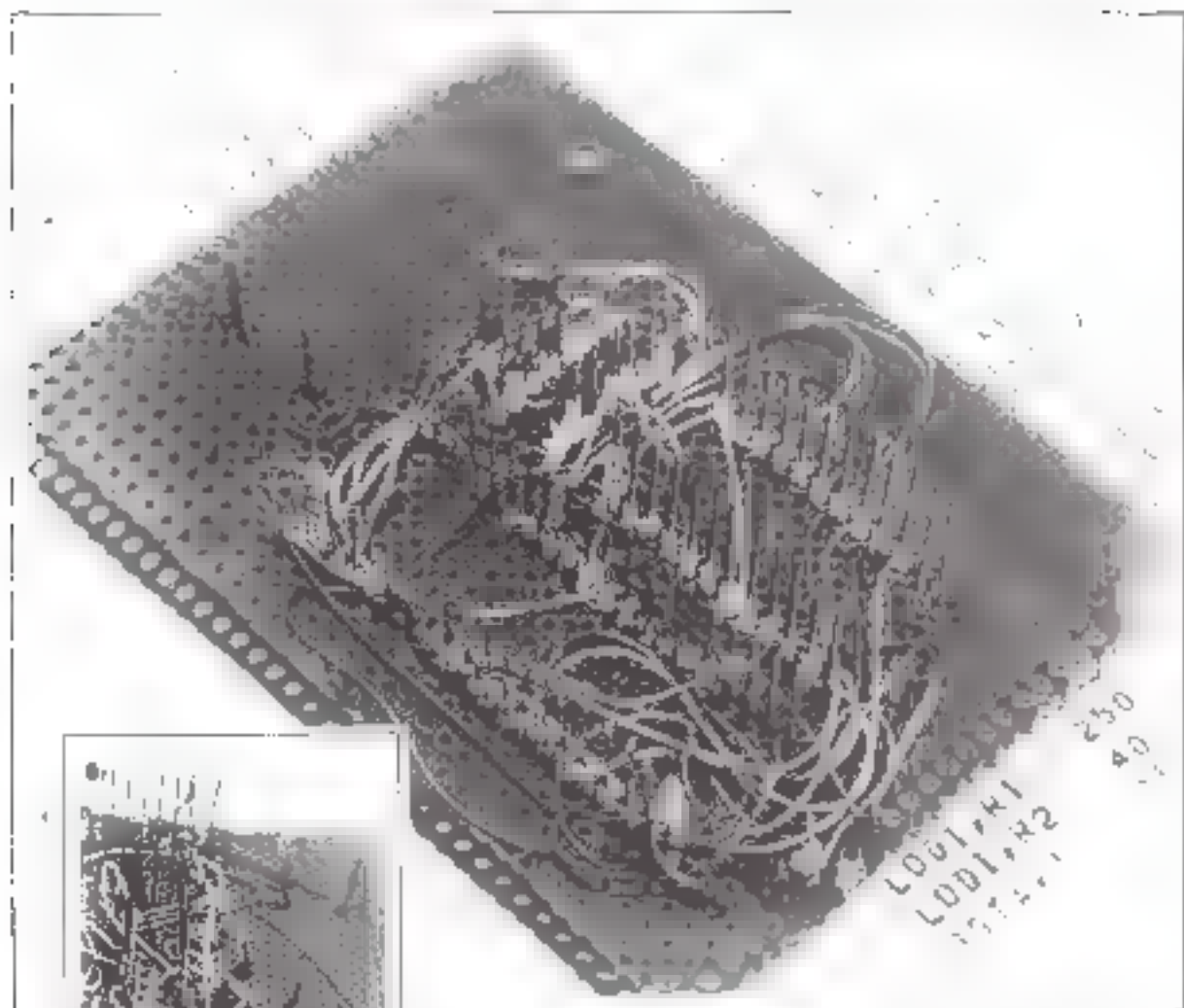


Fig. 7 - Magnification de une ou deux brèches câblées en wrapping. Une agrandie des brèches wrapping et soudés.

sont laissées en l'air. Certains composants à brèches rondes, non recommandées pour l'entrepointement sont soudés au fil (les résistances, transistors, etc.).

En ce qui concerne le circuit imprimé, le nylar utilisé est celui de la figure 8. Les boîtiers sont représentés conformément au plan d'implantation de la figure 9, qui n'est autre que la sérigraphie utilisée sur le circuit réalisé par la rédaction et que nous vous proposons.

Précautions

Suivez à la trace l'organigramme de réalisation.

En cas de câblage wrapped, une erreur peut court-circuiter votre microprocesseur. Nous ne saurions assez vous recommander le circuit imprimé, mais en cas de wrapping, vérifiez par trois fois vos connexions avant la mise sous tension.

Pour vérifier la PROM, si vous n'êtes pas certain de sa programmation, ou en cas de mauvais fonctionnement, un utilitaire le montage universel de vérification des mémoires mortes décrit dans ce même numéro.

La tension d'alimentation de l'ensemble unité centrale et mémoire doit se situer entre 4,5 V

et 6 V. Vous pouvez utiliser une résistance pour faire chuter la tension d'une batterie de 12 V. Par exemple, pour un courant de débit de 150 à 200 mA, le calcul de sa valeur est simple :

$$12 \text{ V} - 5 \text{ V} / 0,150 \text{ A} = 47 \Omega$$

Prévoir un condensateur de 50 nF pour le découplage de l'alimentation 5 V. L'ondulation résiduelle, en cas d'alimentation secteur, a peu d'importance. Elle peut atteindre 10 à 15 % de la valeur moyenne de 5 V.

La figure 10 donne l'exemple d'une alimentation secteur, sécurisée par batterie de 6 V. Elle utilise un transformateur « filaments », dont la tension adressée recharge éventuellement la batterie par D₁, R, D₂ intervient pour alimenter le microprocesseur en cas de coupure secteur.

Fig. 8 - Circuit imprimé de l'alarme : vue côté pistes (échelle 1).

Fig. 8

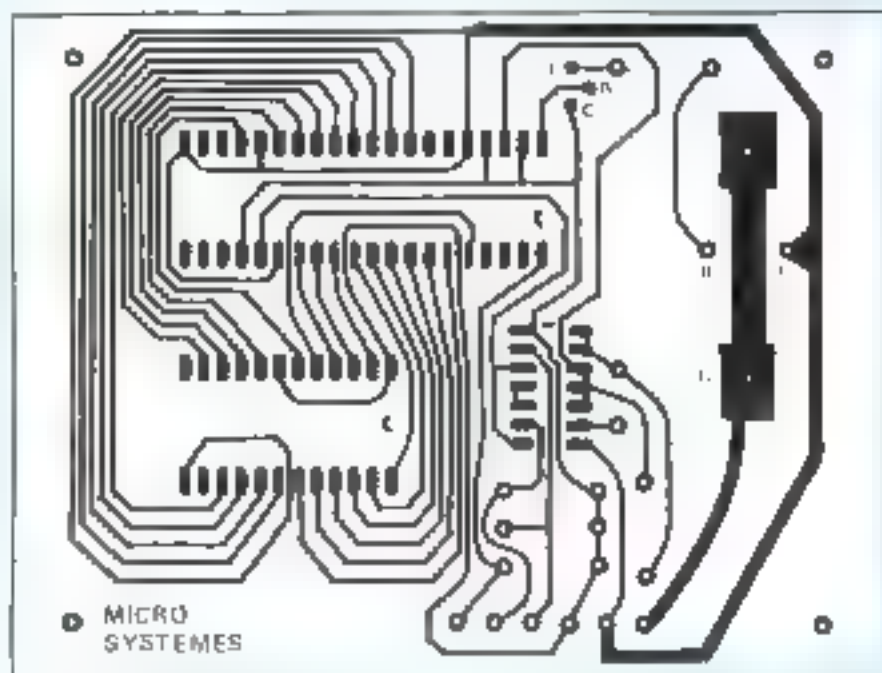
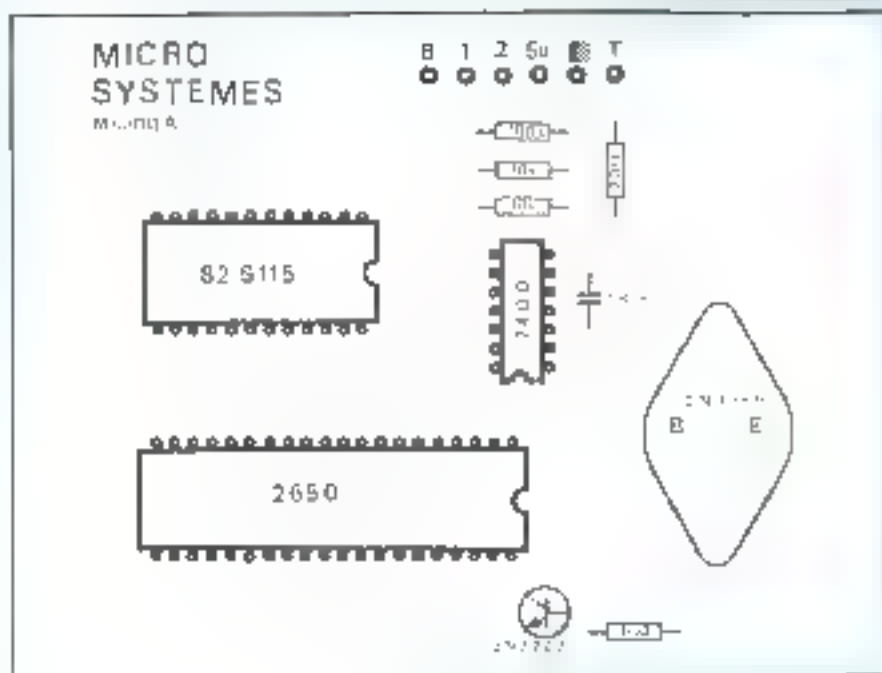


Fig. 9 - Circuit imprimé vue côté composants (échelle 1).

Fig. 9



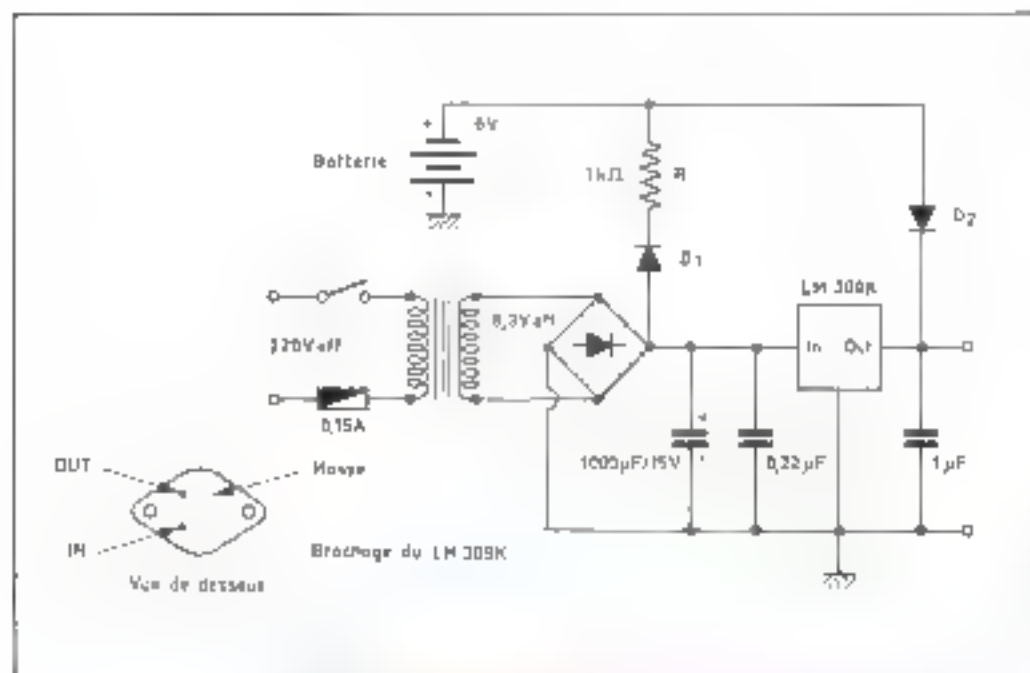


Fig. 10. - L'alimentation utilise un régulateur intégré LM 309 K qui délivre une tension stabilisée de 5 V.

La boucle de garde

Elle se compose d'un fil très mince, dissimulé dans les papiers muraux, sous les moquettes, tapis, etc., et parcourt quelques contacts installés aux points stratégiques de la maison. La porte d'entrée, les fenêtres, la porte du garage ou du jardin. Le fil peut être du type émaille (habillage). Les contacts font intervenir la créativité de chacun : un bouton-poussoir actionné en coupure par un levier lié à la porte, un aimant fixe au battant de l'ouverture qui maintient enfilé un contact dans une ampoule reed : un interrupteur à masse inertielle sensible aux chocs sur une vitre, etc. Ces contacts sont généralement disponibles dans le rayon bricolage des grands magasins. ■

André DORIS

Nomenclature des principaux composants

- 1 microprocesseur 8 bits MOS canal N : **2650**.
En vente chez tous les distributeurs RTC (nous vous en donnons la liste).
Prix indicatif unitaire : 115 F.
- 1 mémoire PROM à fusibles : **82 S 115 N**.
Disponible vierge chez vos distributeurs habituels.
En vente programmée chez les distributeurs RTC et à la rédaction.
Prix unitaire : 110 F.
- Circuit imprimé 110 x 86 mm en verre époxy avec sérigraphie. Référence : **MS 100 A**.
Disponible exclusivement à la rédaction.
Prix unitaire : joindre à votre demande un chèque bancaire, postal ou mandat de 30 F à l'ordre de Micro-Systèmes (port et emballage compris).
- Tous les autres composants sont classiques et en vente chez vos distributeurs habituels.

Réseau des distributeurs R.T.C.

Région Parisienne : RTF DIFFUSION, 59 à 61, rue Dyonnoises, 75015 Paris - 533.69.43 - Télex Radfil 260 832 F.
OMNI-TEC 18, 15 à 21, rue Camille Flammarion, 75018 Paris - 257.62.80 - Télex : OMT 641.355 F.
DISSEER EL, 32/36, rue de Tracy, 75018 Paris - 203 60.02 - Télex : 670.579 F.

Bourgogne et Val-de-Loire : Morin Industrie - (25) 43.15.48.

Fax : 1105 (Dormer) - (98) 20.90.11.

Massif Central : Electronique du Centre - (73) 84 60.00.

Midi - Languedoc - Provence - Côte d'Azur : Ess Vedette - (91) 95 81 82.

Nord : Senelar Electronique - (20) 98.92.13.

Ouest - Centre Ouest : Sertranique - (43) 84.24.60.

Rhône-Alpes : Rhonélec - (78) 53.00.25.
Ess Beson - (76) 96.10.72.

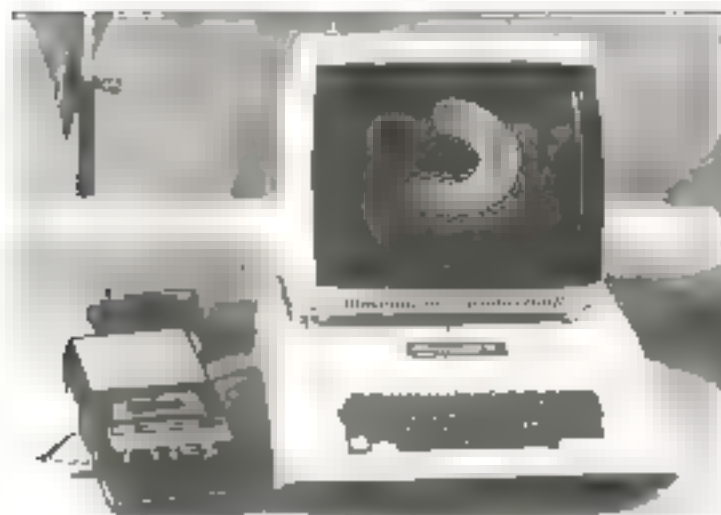
Sud-Ouest : C.E.D.S.O. - (59) 27.03.56.

R.T.C. LA RADIOTECHNIQUE-COMPELEC - 130, av. Ledru-Rollin, 75540 Paris Cedex 11, tél. : 355.44.99 - 60, rue de Verdun, 69100 Villeurbanne, tél. : (78) 68.22.97, télex 370413 F - 21, rue Roquelaine, 31000 Toulouse, tél. : (63) 62.77.21.



Informatic Systèmes TéléCom

MICRO-ORDINATEUR APPLE-II



- MICROPROCESSEUR ROCKWELL 6502 - RAM EXTENSIBLE DE 4 K A 48 K.
 - BASIC - MONITEUR - ASSEMBLEUR - DESASSEMBLEUR ROM.
 - SORTIE VIDEO 24 LIGNES/ 40 COLONNES.
 - GRAPHIQUES FINS EN COULEURS SUR T.V. (RVB-SECAM).
 - INTERFACES MAGNETOPHONE ET ENTREES ANALOGIQUES - HAUT-PARLEUR INCORPORE.
 - 8 PERIPHERIQUES CONNECTABLES DONT :
 - IMPRIMANTE, MODEM, CARTE DE COMMUNICATION RS 232
 - CARTE DE RECONNAISSANCE VOCALE (32 MOTS QUELCONQUES)
 - FLOPPY DISQUES (1 A 14 FOIS 118 Ko).
- * DOS : FICHIERS DE DONNÉES EN ACCÈS SEQUENTIEL INDEXÉ PROGRAMMATHIQUE/CHAINAGE DES PROGRAMMES/PROTECTIONS D'ÉCRITURE.

MICRO-ORDINATEUR I.S.T.C. 5000

- MICROPROCESSEUR Z80 - RAM de 24 K à 64 K.
- SORTIE VIDEO 24 LIGNES/ 80 COLONNES.
- GENERATEUR DE CARACTERES PROGRAMMABLE.
- 1 OU 2 MINI-FLOPPY DISQUES (DOUBLE FACE) INTEGRÉS.
- DOS-EDITEUR DE TEXTE.
- MACRO ASSEMBLEUR.
- BASIC ETENDU (IF THEN ELSE, WHILE, PRINT USING).
- FORTRAN IV ANSI.
- EDITEUR DE LIENS POUR MODULES FORTRAN.
- 2 A 5 CONNECTEURS BUS S-100.
- INTERRUPTIONS CHAINÉES AVEC PRIORITÉS (3 NIVEAUX).
- CARTE DE COMMUNICATION (SYNCHRONNE/ ASYNCHRONNE).
- IMPRIMANTE AVEC INTERFACE PARALLELE.



Bon réponse à retourner à : I.S.T.C., 7 à 11, rue Paul-Barruel, 75015 Paris. Tél : 306.46.06.

Raison Sociale

Adresse

Activité

.....

Nom et Fonction

Tél

UNE DEMONSTRATION LA VISITE D'UN COMMERCIAL

APPLE-II



Le micro ordinateur Apple-II, tel qu'il se présente dans sa configuration de base.

En janvier 1976 Steven Jobs, master de physique, 20 ans, et Stephen Wozniak, Ph. D., 28 ans, mettent au point dans leur garage un micro ordinateur APPLE-II à usage personnel, destiné aux amateurs d'informatique. En janvier 1978, ils déménagent dans des locaux de 20 000 pds², à Cupertino et une version améliorée, dotée de dispositifs qui vulgarisaient un peu plus la première, est née : le Apple-II.

Apple veut dire pomme en anglais. Ce nom vient du fait que toutes leurs économies ayant été dépensées, le jour de la dernière mise au point de leur création, il ne leur restait à manger que des pommes...

De juillet 1977 à janvier 1978 se sont vendus plus de 5 000 Apple-II. Pour cette année les prévisions du marché ont poussé les fabricants à la mise en œuvre de plus de 25 000 unités.

Le duo de la technique a été rejoint par A.C. Marcula au marketing, un monsieur qui a fait ses armes chez Fairchild, Hughes et dernièrement, pendant quatre ans, chez Intel comme marketing manager. Ils sont aujourd'hui vice-présidents de Apple Inc. société présidée par Mike Scott, directeur des opérations de circuits hybrides pen-

dant six ans chez National Semiconductor, après avoir travaillé chez Fairchild où il avait connu le vice-président d'aujourd'hui Marcula.

Structure

L'Apple-II utilise un poste de télévision couleur comme terminal de visualisation et reçoit ses ordres d'un clavier ASCII*.

Doté d'un microprocesseur 6502 de MOS-Technology, il contient un programme moniteur d'une capacité de 2 K-octets permettant d'assembler et même de désassembler des programmes microprocesseurs.

Une version « tiny » Basic (à nombres entiers) est résidente en 6 K-octets de mémoire. Une option plus performante, à calcul en flottant est disponible sur bande mini cassette ou charge en RAM.

Le programmeur dispose de 4 K-octets de RAM dynamique pour les versions standard qui peuvent être étendues, grâce à l'existence de supports, jusqu'à 48 K-octets. Les prix des versions 4 K, 16 K, 32 K ou 48 K varient en conséquence (pour mars 78 par exemple : 8 200 F, 11 200 F, 14 300 F et 17 500 F H.T.)

La partie supérieure est amovible et permet l'accès à tous les circuits, câblés sur une grande carte imprimée à trous métallisés.

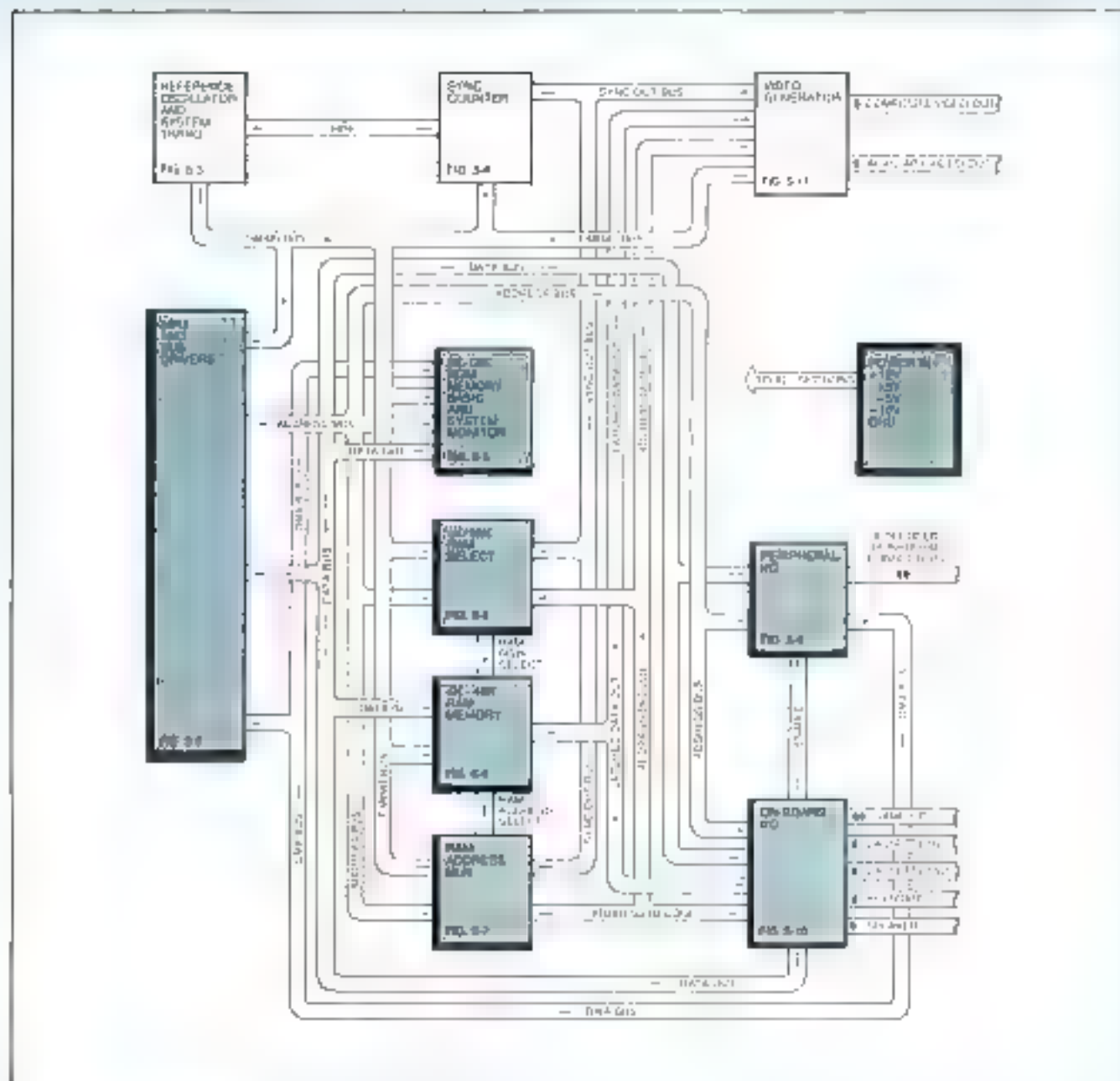


Fig. 1. - Synoptique du Apple-II.

L'alimentation à découpage a un excellent rendement et peut supporter la consommation locale et celle de 8 périphériques.

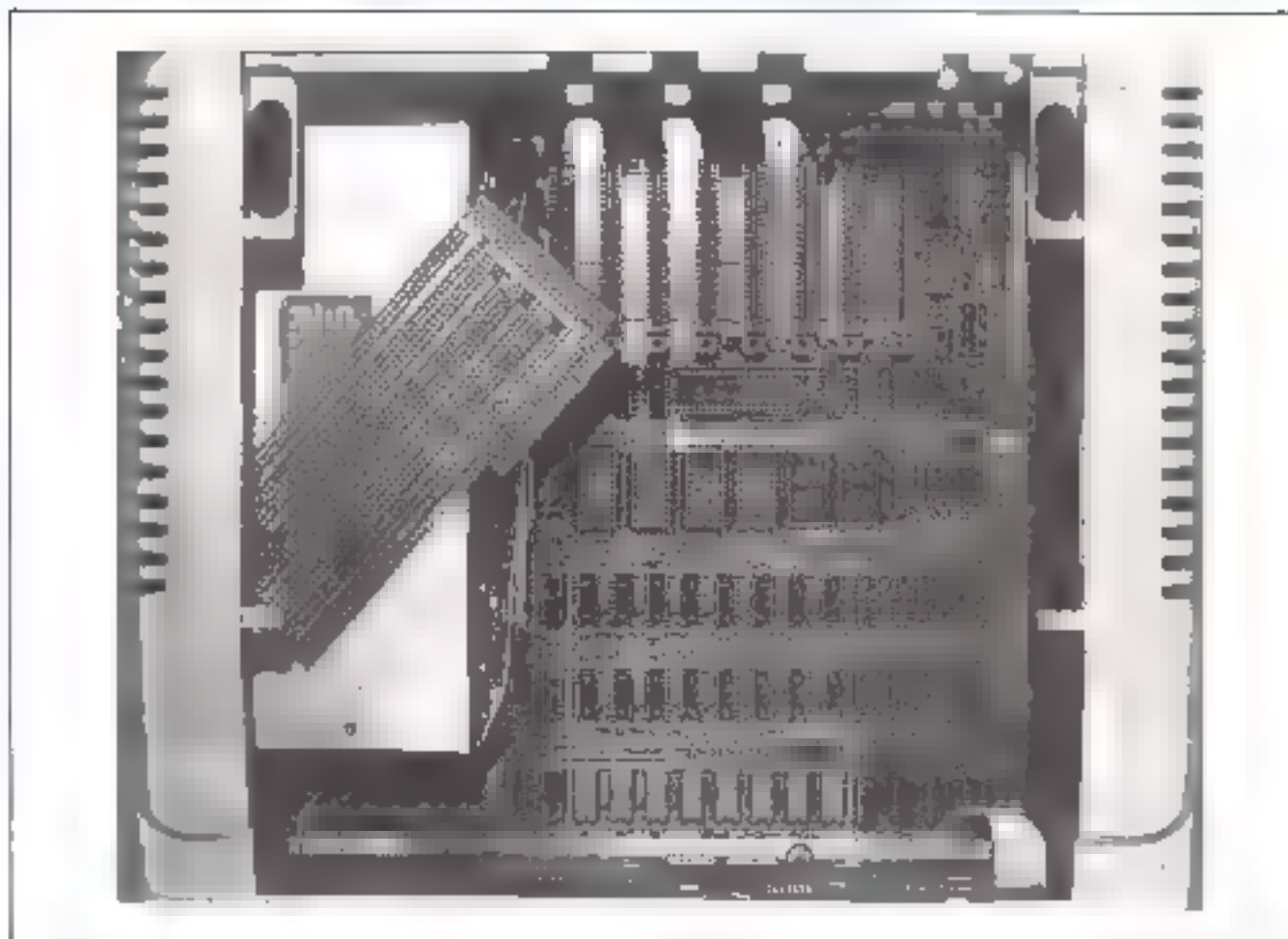
Huit supports permettent l'installation de modules personnalisés. L'horloge du microprocesseur est constituée de manière à faciliter un DMA pour la visualisation alphanumérique ou graphique sur l'écran. Elle provient de la division successive d'un oscillateur pilote à 14,318 MHz, par 4, ce qui donne la fréquence de référence de la sous-porteuse couleur du NTSC à 3,579 MHz et par 3, ce qui mène à la fréquence d'horloge ϕ_1 , d'environ 1 MHz. Rappelons que le constructeur du Apple s'est peu soucié du standard SECAM, qui est obtenu par transcodage sur une carte compatible avec le bus interne du Apple, issue des mains des revendeurs en France du produit.

Outre l'interface minicassette et la prise UHF-T.V., on trouve un interface « jeux », pouvant supporter deux potentiomètres et boutons poussoirs permettant des jeux très perfectionnés, et téléviseurs couleurs.

La structure est polyvalente, car elle permet aussi le couplage d'interfaces avec mémoires de masse, lecteurs optiques de cartes, tables traçantes, digitaliseurs vidéo, horloges temps réel, etc.

Soulignons que ces interfaces et tant d'autres (la carte heuristique speech lib - de reconnaissance de la parole, par exemple), prendront place sur des emplacements prévus de développement.

Toutes les versions standard possèdent un petit haut-parleur qui peut reproduire la « bande sonore » des jeux, accessible par soft.



Programmation

A l'image de la structure, qui permet le développement d'applications particulières, la programmation du Apple permet de travailler à loisir, soit en langage machine, soit en assembleur, soit en un langage plus évolué, comme le Basic. On peut y développer des « softs » d'applications microprocesseur, en vue de réaliser des systèmes, comme on peut analyser des ROM-s à l'aide d'un désassembleur résident, ou travailler en Basic. Dans tous les cas on a accès à des commandes de graphisme-couleur qui feront la joie de plus d'un artiste-décorateur. L'écran est géré de deux manières :

- **Texte** : 24 lignes de 40 caractères/ligne, la gestion du texte ne différant en rien de celle d'une « video-RAM ».

- **Graphisme, en plusieurs variantes** : soit 4 couleurs standard et un tableau de 40 x 40 points avec 4 lignes de texte ou 40 x 80 points sans texte, soit 4 couleurs et une plus haute résolution, de 160 x 280 points et 4 lignes de texte ou 280 x 192 points sans texte.

La gestion du texte comporte des possibilités d'édition : suppressions ou copies de lignes, insertions, contrôle des mouvements du curseur, etc.

Les erreurs de syntaxe sont corrigés immédiatement et des messages d'erreur appropriés apparaissent. Les plaques-support sont adressables en basic.

Les interruptions hiérarchisées et le DMA sont également permises. Les programmes peuvent également gérer ou générer des sons : dans le haut-parleur interne.

Photo 1 - Une structure du châssis. Remarquer les huit supports et la plaque de développement pour des aménagements personnels.



Photo 2 - Le Apple-II dans une application de graphisme.

Exemples d'applications et utilités

La société ISTC*, l'une des distributrices du Apple II en France, nous a fait parvenir le programme de gestion d'un fichier clients (photo 2), tenant très peu de place-mémoire ■ permettant des recherches par nom, chiffre d'affaires, localités ou des statistiques pouvant déterminer en un temps accord les clients-typé, moyens, bons ou « perdus ».

Nous avons également essayé un programme de comptes-chèques, en anglais, qui donnait, par une modulation négative ou un changement de couleur les moments de débit de la balance.

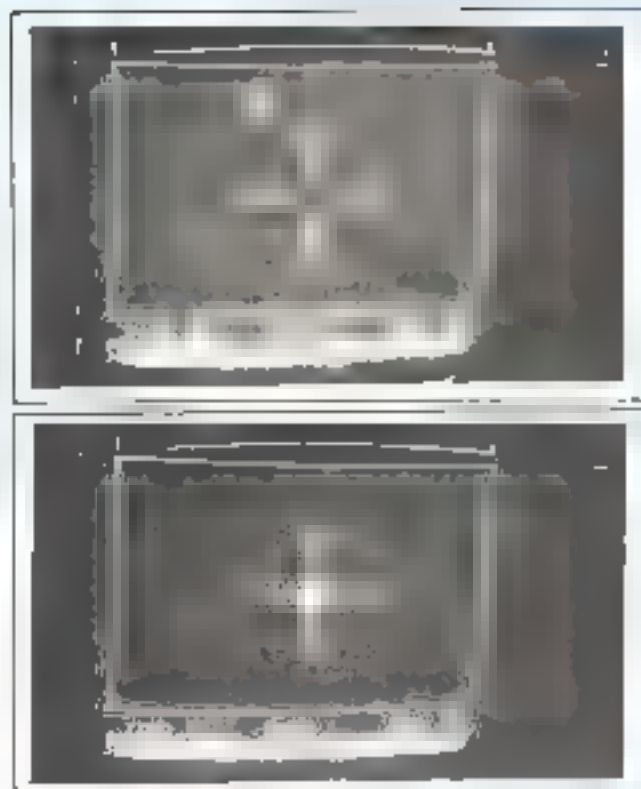
Conclusion

L'excellent accès à l'électronique et à tous les niveaux de programmation donnent une garantie réelle de **développement**. Sur un tel micro-ordinateur chacun peut mettre au point sa propre application. Ces mêmes raisons donnent une qualité didactique à l'appareil, qui est un excellent **outil d'enseignement** tant de l'électronique que de la micro-informatique.

Le chargement mini cassette est parfois difficile. Le basic-résident, à calculs entiers, est plus pratique, seul pour l'enseignement et l'exercice de la micro-informatique. La version qui se charge à partir du mini cassette demande l'adjonction de mémoires RAM, outre les 4 K standard, pour pouvoir travailler correctement.

Le **graphisme-couleur** est exceptionnel. Il ouvre des champs très vastes de création en dessin, statistiques, médecine, etc., comme le montre notre couverture.

En haute résolution et DMA il analyse et traite l'image à visualiser. ■



Photos 1 et 2 - Jeu : vous êtes dans le canyon de la plaine hercée des crêtes et vous pouvez voir un saizeux passant à 110. Quand il est bien centré dans le visor, une précision sur le fusil et il exploite dans un bruit parfaitement synthétisé sur le petit haut-parleur local (Applications de Apple II, fournies par Société*1).

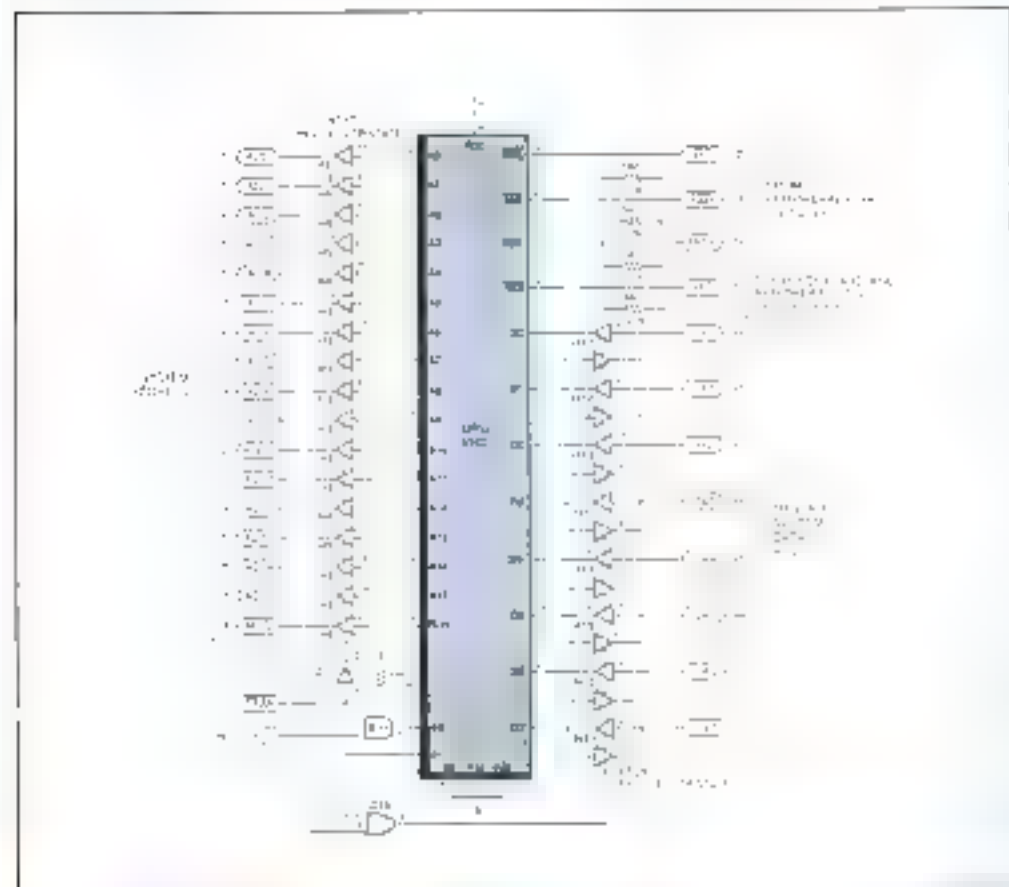


Fig. 2 - L'unité centrale est entièrement assemblée.

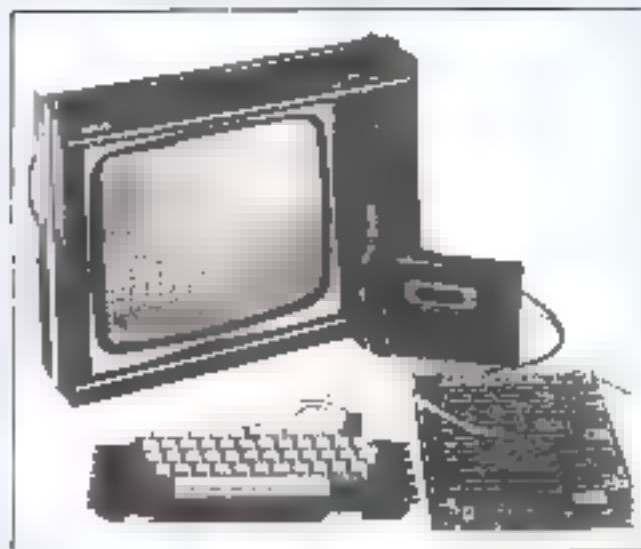
* ASCII :
American Standard Code
for Information Interchange

Distributeurs du Apple II :

ISTC :
Informatique Systèmes TéléComp
7, rue Paul-Bernard
75015 Paris
Tél. : 304-45-06

Soditec :
5, rue François-Puisson
75016 Paris
Tél. : 524-37-00

Nascom 1



Structure de l'appareil de base

A qui s'adresse Nascom 1* ? Probablement à tous ceux qui n'hésitent pas à manier le fer à souder puisque Nascom 1 est livré en kit (une version toute montée peut aussi être obtenue). Il intéressera donc les hobbyistes - ou ceux qui veulent le devenir - et les techniciens.

L'optimisation du prix a été particulièrement recherchée puisque le distributeur offre l'appareil en kit pour 2490 Fc ! Il constitue de ce fait un ordinateur complet avec toutes ses interfaces et un clavier alphanumérique. Pour les besoins plus importants, un rack permet de connecter jusqu'à 12 cartes supplémentaires : cartes mémoire RAM ou ROM, interfaces parallèle et série.

Nascom 1 se présente sur une seule carte de circuit imprimé de 20 cm x 30 cm, soit approximativement le format de cette revue. Un clavier Liège de type Qwerty à 47 touches, livré tout monté, fait également partie de la configuration de base.

Que trouve-t-on sur la carte principale ? Le schéma synoptique (fig. 1) fait apparaître les principaux éléments :

- Microprocesseur Z80 ZILOG (MK 3880 de Mostek).
- Une Eprom 2708 de 1 K mot contenant le moniteur Nasbug. Un emplacement pour une Eprom supplémentaire est disponible.
- 1 K x 8 de RAM à la disposition de l'utilisateur.
- Interface vidéo gérée par software, équipée d'un module UHF permettant d'attacher une télévision.
- Interface magnéto-cassette.
- Gestion d'E/S série par un UART* compatible V24 ou TTY.
- Gestion d'E/S parallèle par PIO* fournissant deux ports de 8 bits, programmables par l'utilisateur.

La documentation est orientée vers les personnes ayant peu de connaissances techniques. Le manuel de montage et le manuel de logiciel sont en français. Les notices techniques concernant le Z80, l'UART, le PIO, sont celles du fournisseur de composant.

Examinons maintenant la constitution de Nascom 1.

Les éléments de Nascom 1

Microprocesseur Z80

L'unité centrale du Nascom 1 est le microprocesseur Z80, dont la réputation n'est plus à établir. Ce microprocesseur 8 bits est alimenté par une tension unique + 5 V et nécessite une seule phase d'horloge : 2 MHz en version normale, 4 MHz en version rapide. Il intègre 208 bits de mémoire RAM, organisés en 18 registres de 8 bits et 4 registres de 16 bits. Outre deux types d'interruption - masquable et non masquable - et la possibilité d'adresser jusqu'à 64 K, il réalise automatiquement le rafraîchissement des mémoires dynamiques. Ses 158 instructions de base englobent celles du 8080, et il peut être adressé en 7 modes différents. Sept types d'opérations peuvent être utilisés, dont la copie d'un bloc de données, la recherche d'un caractère à l'intérieur du bloc, et la manipulation au niveau du bit.

Mémoire disponible

L'« operating system » Nasbug est implanté à l'adresse 0000, car c'est l'adresse présente sur le bus du Z80 à la mise sous tension. Le moniteur Nasbug est dans une Eprom 2708, et une seconde Eprom peut être montée sur la carte principale. Elle contiendra par exemple une extension du moniteur développée par le constructeur ou par l'utilisateur. La mémoire RAM utilisateur est constituée de buffers MK 4102, offrant un total de 1 K x 8 bits de capacité, dont environ 80 % sont pris par le moniteur. Par ailleurs, la mémoire servant à l'affichage sur écran peut être programmée par l'utilisateur, ce qui permettrait alors de disposer de 1 K supplémentaire. Un connecteur disponible à l'arrière de la carte permet d'étendre la capacité mémoire jusqu'à 64 K x 8 bits.

Clavier et interface vidéo

Le clavier fait partie intégrante du système. Il est constitué de 47 touches décodées par hardware, et dont les fonctions sont gérées par software. On peut ainsi ajouter des touches de fonction si nécessaire, ou changer l'adressage des touches.

Le choix du constructeur s'est arrêté sur un clavier à effet Hall, qui a l'avantage de supprimer les contacts mécaniques. Mais pourquoi avoir choisi un clavier complet alors que Nascom 1 travaille en hexadécimal ? Parce que dès le départ, l'utilisateur a la possibilité de générer du texte et que les extensions prévues Basic et Assembleur impliquent l'emploi d'un clavier alphanumérique.

* Nascom 1 :
est distribué en France par R.S. 35, rue de la Croix-Nivert, 75013 Paris. Tél. : 366.9364.

* UART
Universal Asynchronous Receiver Transmitter - Convertisseur série - parallèle et parallèle-série.

* PIO
Programmable Input-Output : Interface d'entrée-sortie programmable.

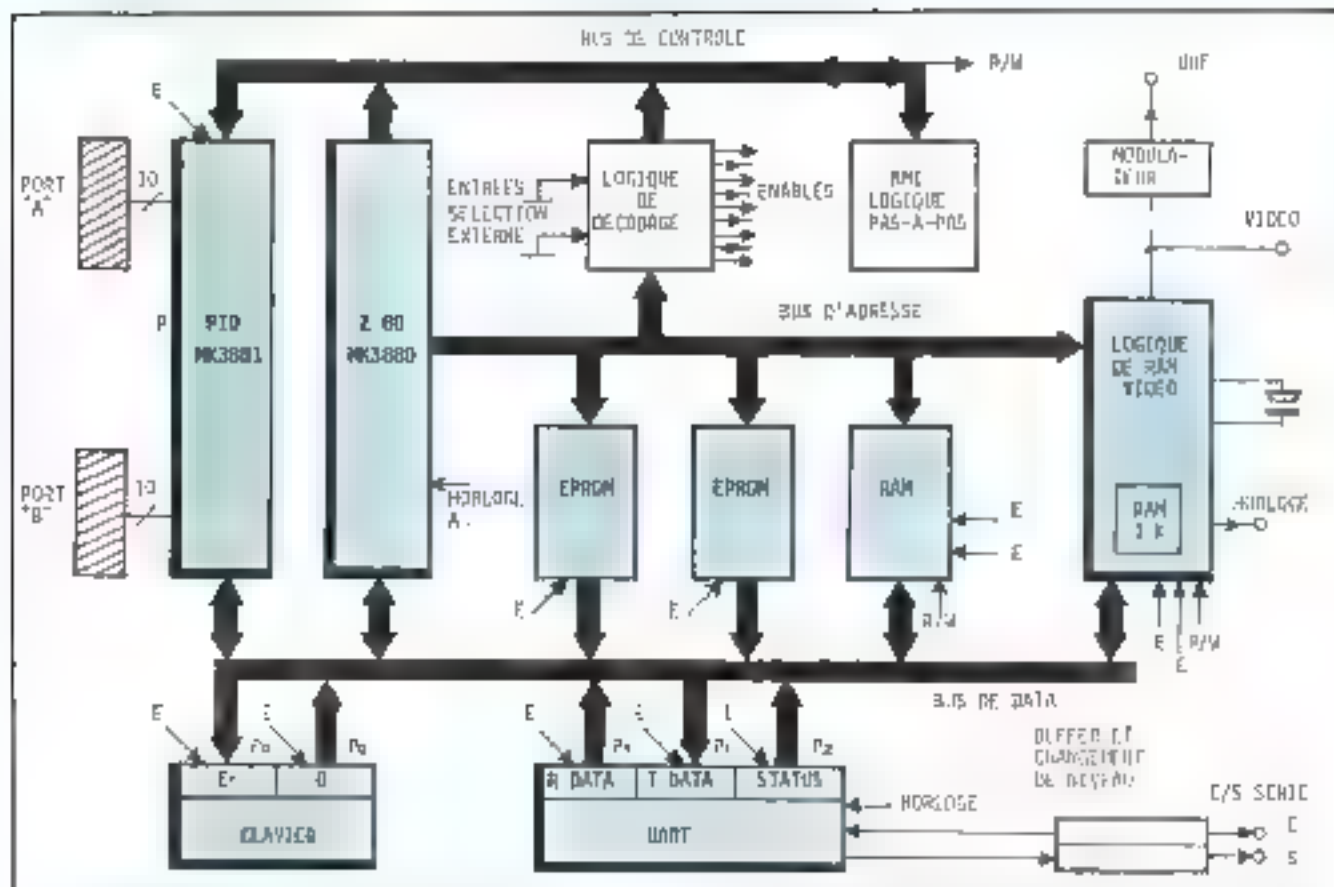
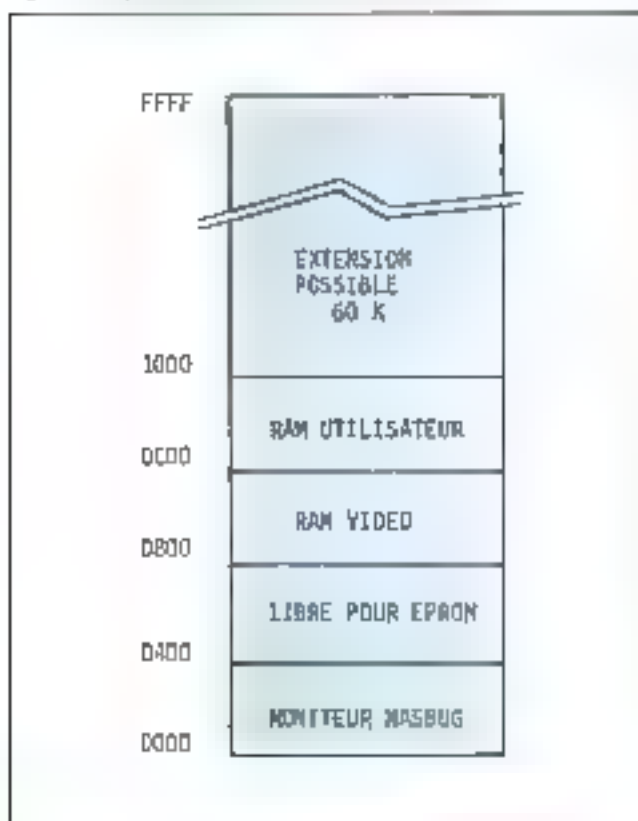


Fig. 1. - Le NASCUM 1 est organisé autour du Z80.

Fig. 2. - Implantation mémoire du micro-ordinateur.



L'interface vidéo permet l'affichage de 16 lignes de 48 caractères, chaque caractère étant défini par une matrice de 16 x 12 points. Et si le constructeur livre un générateur de caractères anglo-saxon avec son kit, il nous rappelle aimablement qu'il peut être remplacé par le générateur de caractère français Motorola MCM 6578 ! La sortie modulée UHF permettra à l'amateur d'utiliser son poste de télévision, avec une bonne netteté d'image. Bien entendu, une image meilleure sera obtenue avec la sortie vidéo.

Les entrées-sorties séries

Les E/S séries correspondent à deux types de périphériques :
 - d'une part les magnéto-cassettes, universellement admis comme mémoire de masse pour micro-ordinateur,
 - d'autre part, les télétypes, les terminaux vidéo, et les liaisons série avec d'autres ordinateurs.

Une UART est utilisée comme organe de transmission série. Quelles sont les vitesses de transfert réalisées ? Elles dépendent des bases de temps utilisées :

- 300 bauds * environ pour l'interface cassette,
- 110 bauds pour l'interface TTY et V24,
- jusqu'à 200 k-bauds en utilisant une horloge externe.

Le format des entrées-sorties retenues est très classique : 1 bit de départ, 8 bits de donnée, 1 bit de parité, 2 bits d'arrêt.

Les caractéristiques des signaux utilisés pour le magnéto-cassette s'écarte du standard Kansas-City (une

* Baud :
Unité d'information binaire. Nombre de bits par seconde.

interface spéciale est prévue, si besoin est). Par contre, les autres liaisons série se font grâce au standard CCITT V24 (RS 232 C) et boyaie 20 mA. Notons également que l'on peut utiliser les télétypes de code Baudot à 5 bits.

Le pilotage du magnéto cassette est-il automatique ? Ne soyons pas trop exigeant pour le prix. Une LED indique que le système est prêt à transmettre ou à recevoir. Par contre, le signal peut être prélevé et sert à activer un relais de contrôle du moteur.

Entrée-sortie parallèle

Un PIO MK 3881 met à la disposition de l'utilisateur deux ports de sortie de 8 bits. Chaque port peut être programmé indépendamment en entrée ou en sortie.

Moniteur Nasbug

Les performances pratiques d'un système sont étroitement liées à celles de son moniteur. Celui-ci est ici organisé en deux parties : la gestion des entrées-sorties d'une part (clavier, RAM vidéo, UART) et la mise à disposition de 8 instructions d'autre part, qui permettent à l'utilisateur de gérer le système. Quelles sont ces instructions introduites au clavier ?

- T affiche le contenu de la mémoire, entre deux adresses à spécifier.
- M permet de charger ou de modifier le programme à partir d'une adresse donnée, l'incréméntation de celle-ci étant automatique.
- E exécute le programme.
- S exécution des programmes instruction par instruction, avec affichage des registres du Z80.

Photo 1 - Le clavier constitué de 47 touches dérivées par la diode et une carte imprimée de 20 x 30 est fixé par le montage de base.

- B mise en place de points d'arrêts et affichage des registres.
- D instruction dump. Permet passer le contenu de la mémoire compris entre deux adresses sur la sortie série (écriture sur cassette par exemple)
- L pour le chargement à partir d'un magnéto-cassette.
- C copie du contenu de portions de mémoire dans d'autres zones mémoire.

Le moniteur Nasbug est donc bien adapté à l'utilisation du système de base et au développement de programmes. Mais l'utilisateur peut toujours créer lui-même son logiciel spécifique, et le placer sur une Eprom dont l'emplacement est disponible. Un programmeur d'Eprom est également livrable.

Alimentation du système

Le système doit être alimenté en + 5 V, - 5 V, + 12 V et - 12 V pour l'E/S V 24. Attention aux erreurs de manipulation : le - 5 V doit toujours être présent avant les autres tensions sous peine de destruction du générateur de caractères !

Le constructeur fournit, en supplément, une alimentation suffisante pour la carte principale et une carte extension mémoire de 32 K. Au-delà, une alimentation plus puissante permet d'alimenter toutes les extensions prévues.

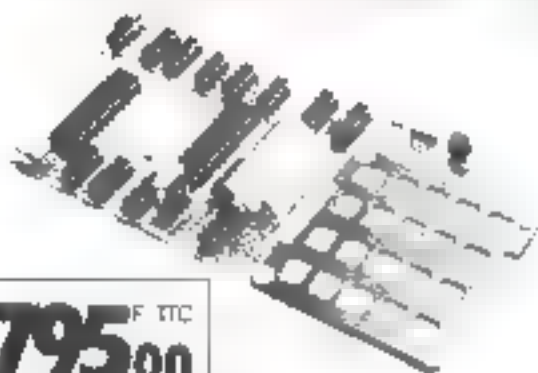
Extensions de Nascom 1

La politique de bas prix a été poursuivie également pour les extensions, ce qui rend les configurations évoluées particulièrement attractives. Le désir d'offrir une carte de base peu onéreuse a conduit à des choix qui constituent cependant de légers handicaps : ainsi, les buffers



MK14 KIT MICRO PROCESSEUR SC/MP

distribué par JCS composants



795^{F TTC}
00
676,00^{F TTC}

UN PRIX
JAMAIS ATTEINT

Pour connaître les conditions de vente, consultez le prospectus de présentation qui accompagne le kit. Les commandes doivent être adressées aux fournisseurs.

CARTE DE BASE

- Microprocesseur 80186
- Carte mémoire 32 K
- Dispositif de contrôle de la fréquence d'horloge
- Multiplicateur 10
- Support de 2 K d'EPROM
- RAM 256 octets
- Horloge 4 MHz
- NE 555
- Régulateur de 5 V
- Circuit logique

MANUEL EN FRANÇAIS

Le manuel de montage est entièrement en français. Il est en français, il donne plus de 90 pages de renseignements de la fabrication au montage et de la programmation du MK14 sur un petit ordinateur compatible avec les programmes de gestion de fichiers de l'IBM PC et compatibles.

OPTIONS

- MÉMOIRE : pour une mémoire rapide, compatible avec RAM supplémentaire 32 K octets supplémentaires (à l'achat) : 198,00 F
- INTERFACE CASSETTE : équipement de base pour la lecture et l'écriture de programmes sur cassette (à l'achat) : 120,00 F
- SUPER MONITEUR : un écran couleur à 640x480 pixels et un clavier de 83 touches (à l'achat) : 145,00 F

Notice MK 14 contre enveloppe timbrée
à 1 20 F à

JCS COMPOSANTS
35 rue de la Croix-Nivert
75015 PARIS Tél 306-93-03

DISTRIBUTEURS

Joignez vous au niveau de distribution MK 14
Personnel de vente M. STEFF, Tél. 906-03-03

sont placés sur une carte buffer-bus séparée, et le bus utilisé à 77 lignes. Mais il est probable que, devant la demande, un bus S100 devra être proposé.

A ce jour, les extensions offertes sont ■ suivantes :

Mémoire

Une carte mémoire reçoit jusqu'à 32 K de RAM

- 4 ou 8 K x 8 bits en 8 ou 16 mémoires 4027,
- 16 ou 32 K x 8 bits en 8 ou 16 mémoires 4116.

Deux cartes complètes permettent de porter la capacité totale mémoire à 64 K.

Un Basic en 2 K d'EPROM peut, en outre, être placé sur ces cartes.

Carte entrée-sortie

Cette carte peut recevoir trois PIO MK 3881, un CTC MK 3882, une UART IM 6402.

Imprimante et Floppy-disques

Le constructeur annoncera sous peu les imprimantes et floppy-disques qu'il a retenus pour le système.

Rack

Un rack VERO conçu spécialement permet d'enficher sur une carte mère les options déjà citées. Il contient également l'alimentation.

Programmeur d'EPROM

Un programmeur d'EPROM 2708 fonctionnant avec le système est livrable en kit.

Le logiciel

Au-delà du langage machine, utilisé dans la version de base avec ■ moniteur Nasbug, un petit Basic en 2 K est proposé.

Le constructeur annonce également un assembleur résident et un Basic étendu en 16 K.

Quant au software d'utilisation, il est fait appel à la compétence et à la coopération des utilisateurs ! Un club d'échange de programme est en fonctionnement. Il permet d'obtenir les programmes en bibliothèque, dont la liste est diffusée périodiquement aux membres du club Nascom.

Notre conclusion

Le kit de base coûtant 2 490 francs TTC, constitue un petit ordinateur personnel complet, un excellent kit d'éducation, et la base de systèmes de contrôle industriels.

Un exemple de configurations permet de comparer Nascom à ses concurrents :

- Nascom 1, plus l'alimentation, la carte buffer bus et la carte mémoire avec 32 K de RAM : environ 7 700 francs TTC en kit, sans son rack.
- Avec 16 K et le Basic 2 K : 6 200 francs TTC.

De plus, le constructeur a mis en place une organisation commerciale européenne bien structurée. Des distributions sont en place dans tous les pays. Ils prennent en charge le service après-vente, mais aiment également les clubs utilisateurs nationaux. Ceux-ci peuvent puiser dans la bibliothèque de programmes regroupée à Chesham, près de Londres. Nascom fera certainement une entrée remarquée sur un marché avide de nouveautés. ■



Quelques fois, tard dans la nuit... je me parle à moi-même.

La science qui étudie les commandes automatiques des machines est la cybernétique. Son objet est, pourtant, plus étendu : d'après Norbert Wiener, le mathématicien qui a contribué le plus à son développement — de façon qu'on peut affirmer qu'il en est le créateur, — le contrôle et la communication chez l'animal et dans la machine ».

De ce fait, la cybernétique — le mot est d'origine grecque et exprime l'action et l'art de « diriger », de « gouverner » — apparaît comme une science à portée très générale, le domaine de son champ d'applications touchant les sciences fondamentales, la physique, la biologie, la technique ainsi que la société humaine en général. Nous allons présenter et décrire, dans ce qui suit, quelques-uns des aspects les plus caractéristiques de cette nouvelle branche de la science du XX^e siècle, sans laquelle les impressionnants progrès réalisés dans tous les domaines de l'activité humaine, ces dernières décennies, n'auraient sans doute pas été possibles. En effet, la cybernétique a, par exemple, comme parties constituantes : **la théorie de l'information, le réglage automatique et la théorie des ordinateurs** dont l'importance dans la société moderne actuelle ne fait que s'accroître.

De ce fait, l'étude de la cybernétique intéresse les historiens, les sociologues, les économistes, les politiciens, les hommes d'Etat, les « managers », aussi bien que les philosophes, les physiciens, les biologistes, les mathématiciens et les ingénieurs, de profils apparemment très différents.

La société moderne ressent sans cesse le besoin de techniques de gestion de plus en plus sophistiquées, capables de maîtriser les progrès incessants de la technologie. Inversement, le perfectionnement de ces mêmes techniques concourent aux progrès de la technologie. La cybernétique, à travers sa partie constituante, à savoir la théorie de l'information et ses applications (les ordinateurs, l'automatique, etc.) peut combler ce besoin d'information du manager. Mais, pour satisfaire ce besoin et maîtriser les nouvelles techniques, il doit comprendre leur fonctionnement, connaître leurs possibilités et leurs limites, et savoir

quelles questions poser, pour être sûr d'accomplir efficacement les tâches envisagées. De cette manière, la cybernétique apparaît comme un vrai guide pour le manager, l'administrateur, le scientifique expérimentateur ou théoricien, le technicien et, en général, pour tous ceux intéressés au traitement des données qui sont évidemment autant d'informations.

Il faut remarquer également la place des « automates » — entendus comme des appareils (machines) qui imitent le mouvement d'un corps animé — dans le cadre de la cybernétique.

On peut affirmer que toutes les installations dans lesquelles un appareil assume une structure ou une fonction spécifique sur la base de l'expérience passée conduisent à des nouvelles attitudes en technique autant qu'en biologie.

Les appareils ayant cette caractéristique peuvent être conçus non seulement comme « machines à jouer aux échecs » ou à accomplir d'autres performances remarquables, mais, également, peuvent être destinés à fournir une amélioration continue de leurs propres performances sur la base, justement, de leur expérience passée. Techniquement, des structures artificielles peuvent produire d'autres structures ayant une fonction similaire aux premières.

Une application en électronique est constituée, par exemple, par les systèmes oscillants à une fréquence donnée et capables de réduire d'autres systèmes oscillants à cette même fréquence.

Le cas des « machines à apprendre » est très intéressant. La description de telles machines et la présentation de leurs potentialités constituerait, à elles seules, le sujet d'un article entier. À cause de cela, nous nous contenterons de décrire, brièvement, leurs principes, leur fonctionnement et leurs performances.

Il faut souligner que ce sont, justement, les problèmes posés par les « machines savantes » qui ont poussé, à ses débuts, l'avancement et le développement de la cybernétique. Ces machines à apprendre doivent, d'une certaine façon, tenir compte des résultats de leur activité antérieure et avoir donc des qualités de prédiction en quelque sorte.

Les caractéristiques « linéaires » d'un tel appareil, doté d'une fonction de prédiction — et utilisé à un instant arbitraire donné, — dépendent d'une connaissance antérieure de longue date des statistiques de l'ensemble de séries temporelles que nous désirons voir prédites.

La cybernétique nous fournit les principes à travers lesquels on peut traduire mathématiquement la connaissance préalable de ces caractéristiques. Il est possible, également, de réaliser un ordinateur capable de traiter ces statistiques et de développer les caractéristiques, à court terme du « prédicteur », sur la base d'une expérience qui ait été déjà observée, par la même machine, lorsqu'elle est utilisée en vue de prédictions. Ce traitement est fait automatiquement.

Les théories de la prédiction linéaire et de la prédiction non linéaire impliquent certains critères de « bonne qualité » entendus comme une sorte de « rendement » de la prédiction. Le plus simple critère est celui correspondant à la minimisation du carré moyen de l'erreur.

L'expérience acquise en construisant des « machines à

apprendre » et en développant les théories les concernant, a été étendu à d'autres dispositifs importants en pratique, relevant de l'électronique ou de l'informatique, ou même à l'étude et à la construction de machines capables de jouer à des jeux compétitifs comme par exemple le jeu de dames.

On a construit d'autres machines à apprendre capables de prouver des théorèmes géométriques et de simuler — dans une mesure limitée — la logique de l'induction. Le principe est le même : les valeurs de certaines fonctions associées à des séries temporelles sont évaluées numériquement ; des valeurs de ces fonctions significatives dépendent le succès de l'entreprise en « sacré » ; dans le cas du jeu de dames, les grandeurs « significatives » sont le nombre des pièces des deux côtés, la commande totale de ces pièces, leur mobilité, etc. Au commencement de l'emploi de la machine, ces différentes considérations représentent des pondérations d'essai données, et la machine choisit, parmi les démarches de fonctionnement admissibles, celle pour laquelle la pondération totale a une valeur maximum. Jusqu'à ce point, la machine a travaillé selon un programme rigide et n'a pas été une « machine à apprendre » proprement dite.

Cependant, de temps à autre, la machine assume une tâche différente : elle essaie de développer précisément la fonction qui prend « valeur 1 » pour les jeux gagnants, « 0 » pour les jeux perdus, et peut-être 1/2 pour des parties nulles, en termes de diverses fonctions exprimant les considérations, voire estimations ou évaluations dont la machine est capable de prendre connaissance. Ainsi, la machine redétermine les pondérations de ces mêmes estimations de façon à être capable de jouer un jeu beaucoup plus sophistiqué et... intelligent.

En résumé, on peut affirmer que les machines de ce type ont des propriétés qui les rendent potentiellement capables de « vaincre » leur programmeur, après, par exemple, 10 ou 20 heures de fonctionnement qui sont autant d'heures d'« enseignement » et d'apprentissage.

Des travaux accomplis par de telles machines, comme la démonstration de théorèmes de la géométrie et la simulation de la logique de l'induction mentionnée ci-dessus relèvent de la théorie et de la pratique de la « programmation de la programmation ».

Quant à la programmation des « machines à programme rigide » celle-ci est une tâche souvent très difficile. On essaie de réaliser des machines capables de programmer cette programmation, en utilisant ces façons de « mécaniser » le raisonnement scientifique. Les principes de fonctionnement des machines à apprendre connues également sous le nom de machines cybernétiques, ont permis de mieux comprendre les mécanismes des systèmes biologiques ou, comme on s'exprime parfois, de la « machinerie de la vie » et, tout particulièrement, de « la machinerie du cerveau de l'animal ou de l'homme ».

La « cybernétique biologique » est concernée, justement, avec ces mécanismes et elle se propose de créer ainsi un pont entre les sciences physiques et les sciences de la vie.

En effet, il y a des lois communes qui semblent gouverner les systèmes naturels aussi bien qu'artificiels, voire les machines cybernétiques ou même les ordinateurs habituels.

De récentes découvertes dans des domaines aussi différents que la biophysique, la biochimie, la neurophysiologie, l'électrophysiologie et la science des ordinateurs (ce qu'on appelle plus communément l'informatique) semblent prouver cette hypothèse.

La cybernétique fournit également, les moyens de la compréhension des fondements physiques de « la vie intelligente, de l'intelligence et de la conscience mêmes, en proposant de considérer la biologie comme une branche des sciences physiques et l'homme (et évidemment l'animal) comme seulement un type complexe de machine. Suivant cette hypothèse, même les propriétés de comportement de l'organisme humain auraient une origine physique.

Ces assertions de la branche biologique de la cybernétique, tout en étant très séduisantes, comme aux débuts de cette branche, sont pourtant de l'avis de l'auteur, comme de l'avis d'un grand nombre de chercheurs, — encore du moins — peu défendables.

En effet, des preuves irréfutables à l'appui de l'hypothèse avancée — selon laquelle les propriétés de comportement de l'organisme humain seraient entièrement déterminées par le jeu et l'action normale des lois de la physique dans la matière chimique managée — n'ont pas encore été apportées, en dépit de l'effort de conviction de très brillants chercheurs concernés.

L'opinion de l'auteur est que le raisonnement par analogie a été poussé très loin et que même si les processus de réception, de stockage, de traitement et de transmission des informations captées de différentes façons par les sens présentent des similitudes ou bien sont identiques dans leur fonctionnement dans les machines cybernétiques et chez les organismes vivants, la nature intrinsèque de ces processus reste différente chez l'un ou l'autre type « de machine ».

Les lois de structure et de comportement de la biologie et par conséquent les mécanismes des processus biologiques ne peuvent pas « réduire » seulement aux lois de la physique c'est-à-dire somme toute, de la mécanique (classique ou quantique, peu importe).

Adrien Brody voudrait à tumber, comme jud. Des cartes, de la « mécanisme ».

En effet, on sait maintenant que le maintien du niveau correct de travail du système nerveux est assuré par l'action de feedback spectraux.

D'autres feedbacks assurent une réponse adéquate à diverses excitations, tant intérieures qu'extérieures à l'organisme considéré. Un exemple de processus spécifique aux systèmes à organisation autonome est représenté par le phénomène des ondes cérébrales de fréquences déterminées.

Il y a également des implications de la cybernétique dans la philosophie scientifique et spécialement dans la philosophie de l'espace-temps.

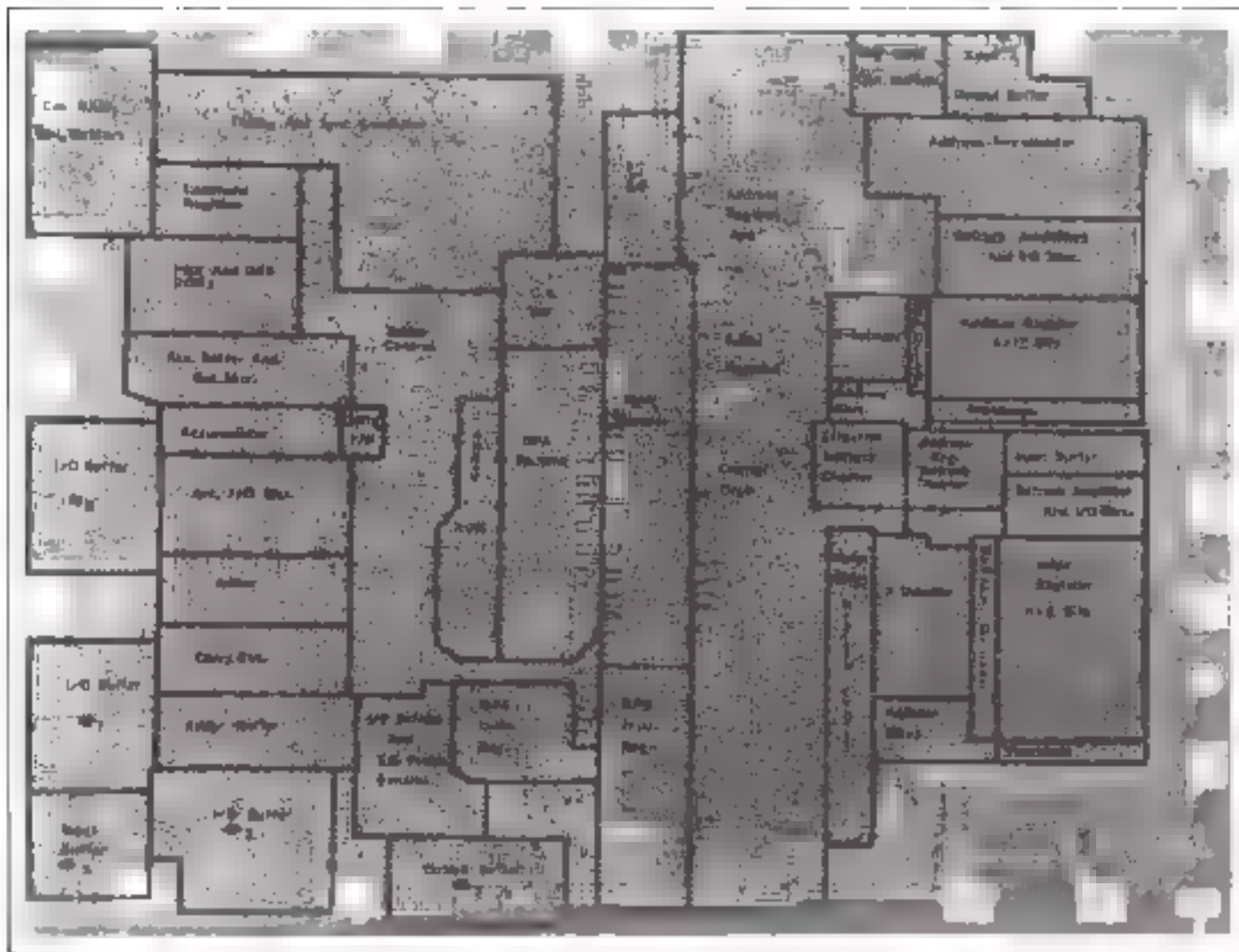
Il faut pourtant mentionner que si la cybernétique ne change pas notre notion habituelle de l'espace, elle semble modifier, au contraire, le contenu et l'utilisation habituelle du concept de temps, — ou concept « entropique » de l'information — entendue comme mesure du désordre d'un système, — même si elle ne propose pas, apparemment du moins, un concept différent de celui des théories physiques vérifiées et crédibles comme la théorie de la relativité ou la mécanique quantique dans sa formulation linéaire.

L'auteur se limite à relever l'importance de plus en plus croissante de l'informatique dans tous les domaines de la vie humaine.

Espérons que cette présence envahissante va néanmoins permettre une « coopération harmonieuse » de l'homme avec son concurrent moderne — la machine — l'ut-elle un ordinateur « ordinaire » ou une très sophistiquée machine savante cybernétique. ■

Victor Virginia Iordachescu

L'Unité Arithmétique et Logique



L'Unité arithmétique et logique (communément appelé ALU de l'anglais Arithmetic - Logic Unit) est la partie du microprocesseur qui manipule, gère et combine les données. Elle peut réaliser un nombre important d'opérations comprenant des fonctions logiques : ET, OU, Inversion des fonctions arithmétiques : additionner, soustraire, incrémenter, décrémenter et de nombreuses instructions telles que des comparaisons ou des tests de l'état d'un bit dans un registre.

Avant d'aborder la description de l'ALU il est nécessaire pour bien en assimiler le fonctionnement de garder à l'esprit les principales fonctions de bases qui la composent : les portes, les mémoires et les registres.

Nous introduirons ensuite la réalisation des différentes opérations arithmétiques, le principe d'un comparateur ■ nous analyserons une unité arithmétique et logique.

Les fonctions logiques

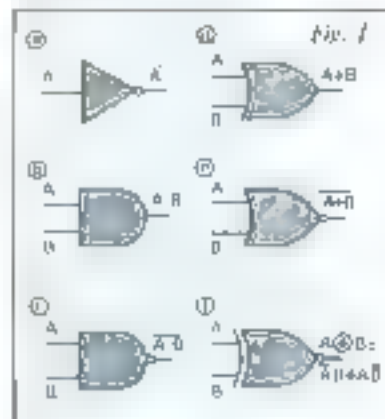
Les opérations logiques utilisées dans les différents systèmes sont principalement (fig. 1) :

- La fonction inversion ou de complémentarisation
- La fonction ET ou AND.
- La fonction NON-ET ou NAND.
- La fonction OU ou OR.
- La fonction NON-OU ou NOR.
- La fonction OU-EXCLUSIF ou XOR.

Les structures de ces opérateurs logiques sont différentes suivant les technologies employées (TTL, MOS, PL...). Nous étudierons ici les opérateurs en technologie

Organisation interne du 8080, le premier microprocesseur à 8 bits commercialisé (après l'Intel 4004).

Fig. 1. Les fonctions logiques élémentaires (ET, OU, NON-ET, OU-OU, NON-OU, OU-EXCLUSIF, NON-OU-EXCLUSIF).



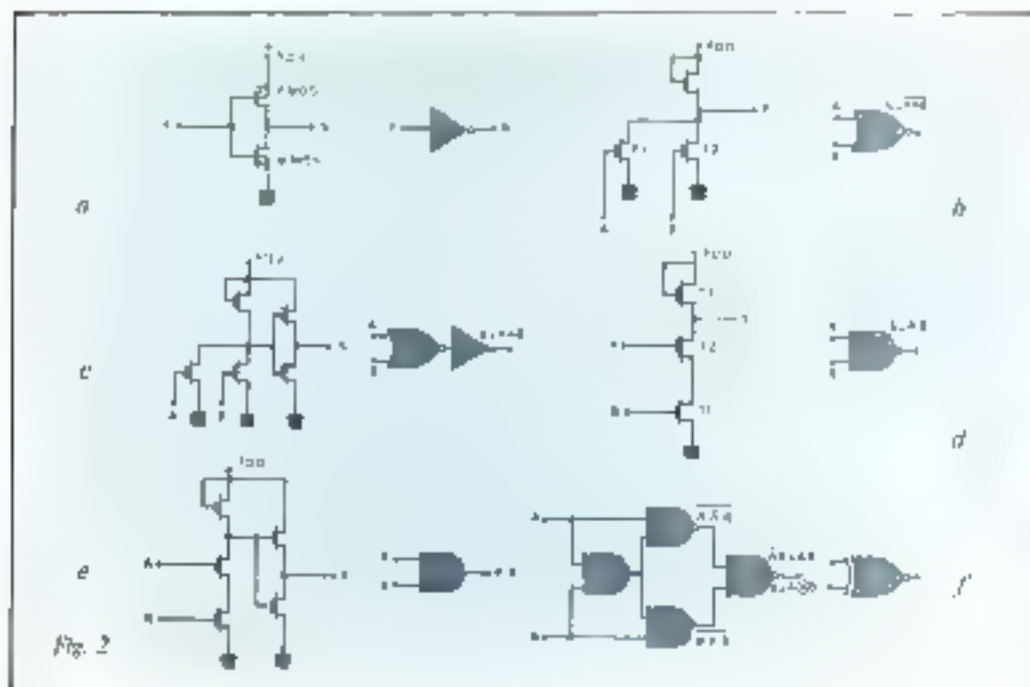


Fig. 2 - Structure des portes logiques MOS : inverseur (a), NOR (b), OR (c), NAND (d), AND (e), XOR (f).

MOS, qui est à l'heure actuelle la plus employée dans les microprocesseurs.

a - Structure d'un inverseur :

Cette fonction est réalisée à partir de deux transistors MOS complémentaires (MOS canal N et MOS canal P) suivant le schéma de la figure 2 a.

Si l'on applique une tension positive (correspondant à un « 1 » logique) à l'entrée E, le transistor MOS type P est bloqué, alors que le transistor type N est passant. Le potentiel de sortie est voisin de 0 volt (tension de saturation du transistor N MOS) ce qui correspond au « 0 » logique.

Quand un 0 logique est appliqué à l'entrée, le transistor P-MOS est passant, tandis que le transistor N-MOS est bloqué. Le potentiel de sortie est voisin de V_{DD} ce qui correspond au 1 logique.

b - Structure d'une porte NON-OU (NOR) :

Comme il est possible de réaliser ces circuits en utilisant des transistors types P-MOS, des transistors types N-MOS ou les deux types mélangés (MOS complémentaires ou C-MOS), nous indiquons

ici les schémas de principe sans préciser le type de transistor utilisé.

La figure 2 b représente une porte NOR. Lorsque toutes les entrées sont au niveau 0, les transistors T_1 et T_2 sont bloqués et la sortie est pratiquement au potentiel V_{DD} , c'est-à-dire au 1 logique. En effet, dans ce type de circuit, le transistor T_3 , ayant la grille directement reliée au drain se comporte comme une résistance.

Si l'une OU l'autre des entrées reçoit un niveau logique 1, le transistor T_1 OU T_2 se sature et la sortie passe au niveau logique 0.

Pour réaliser la fonction OU, il faut ajouter à la sortie de la porte NON-OU un étage inverseur (fig. 2 c).

c - Structure d'une porte NON-ET (NAND) :

Le schéma de principe d'une porte NAND est indiqué figure 2 d.

Pour avoir un 0 logique en sortie, il faut que les transistors T_1 et T_2 soient saturés, par conséquent il faut appliquer un 1 logique sur l'entrée A ET sur l'entrée B.

Si l'on applique un 1 logique sur l'une des entrées (entrée B par exemple), le transistor T_2 reste blo-

qué et la sortie est pratiquement au potentiel V_{DD} , soit au niveau 1 logique.

Il est possible d'ajouter à la sortie de ce circuit un étage inverseur pour réaliser la fonction ET (fig. 2 e).

d - Structure de la fonction XOR : OU exclusif :

C'est une fonction souvent utilisée dans les systèmes logiques. Elle correspond à la table de vérité suivante :

A	B	S
0	0	0
0	1	1
1	0	1
1	1	0

Le signal de sortie S est donc équivalent à l'équation : $S = \overline{A}B + A\overline{B} = A + B$.

La fonction est réalisée en combinant les portes élémentaires étudiées ci-dessus. Un exemple de fonction XOR est donné figure 2 f. Elle utilise une structure de portes NAND. Sur la sortie de la porte 3, nous avons :

$$S = \overline{A \cdot \overline{A} \cdot B} = \overline{B \cdot \overline{A} \cdot B}$$

En utilisant le théorème de Morgan :

$$S = \overline{A \cdot \overline{A} \cdot B} = \overline{B \cdot \overline{A} \cdot B}$$

$$S = \overline{A \cdot \overline{A} \cdot B} = \overline{B \cdot \overline{A} \cdot B}$$

$$\text{Avec } \overline{\overline{A} \cdot B} = \overline{A} + \overline{B}$$

$$S = \overline{(A + B)(\overline{A} + \overline{B})}$$

$$= \overline{A\overline{A} + A\overline{B} + B\overline{A} + B\overline{B}}$$

$$\text{Puisque } A\overline{A} = B\overline{B} = 0$$

La fonction mémoire

Dans une machine digitale, il est nécessaire de mémoriser à un instant donné les résultats issus des différents opérateurs logiques (portes ET, OU, OU EXCLUSIF) pour pouvoir les réutiliser à un autre instant t + 1 par exemple.

Un élément capable de stocker une information binaire, s'appelle une mémoire, ou une bascule, ou un flip-flop.

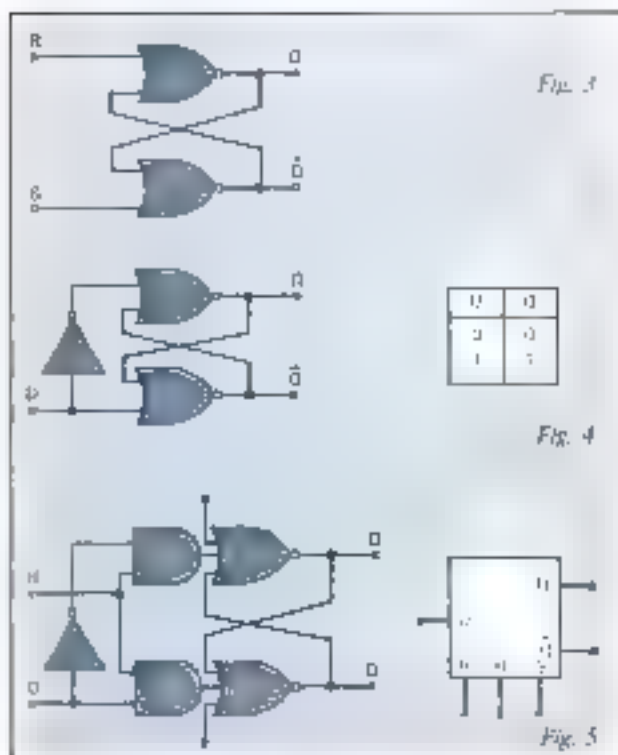


Fig. 3, 4, 5 - La réalisation matérielle pour une bascule avec deux portes NOR (4), une bascule avec une porte AND et une porte NOR (3) et une bascule avec une porte AND, une porte OR et une porte NOT (5).

La figure 3 représente une bascule réalisée avec deux portes NOR.

Si à un instant donné les entrées sont $R = 0$ et $S = 1$, la sortie de la porte B est $Q = 0$ (voir principe de la porte NOR). Puisque $\bar{Q} = 0$ et $R = 0$, la sortie de la porte A est $Q = 1$.

Une inversion des états de R et de S provoque une inversion des états de sortie.

Si l'un des « 1 » appliqués à R ou à S disparaît pour laisser la place à un « 0 », les sorties ne changent pas en raison du bouclage des circuits. La bascule a donc mis une information en mémoire.

Si par contre, on applique un 1 sur les deux entrées à la fois, cela provoque une situation indéterminée à la sortie.

Nous pouvons écrire le tableau de vérité de cette bascule.

R	S	Sortie Q
0	0	Pas de changement
0	1	0
1	0	1
1	1	Indéterminé

Pour éviter l'état indéterminé lorsque R et S sont à « 1 » on a imaginé plusieurs combinaisons possibles des entrées à l'aide des portes élémentaires (bascule J.K., bascule D, bascule T, bascule RST, ...).

Nous étudierons en ce cas de la bascule type D que l'on rencontre principalement dans les microprocesseurs (fig. 4).

Cette bascule à entrée unique met en mémoire l'information présente sur la borne D.

Grâce à l'adjonction de bornes supplémentaires à la bascule D, il est possible de synchroniser son fonctionnement sur des impulsions extérieures en ajoutant une entrée d'horloge. De même, on peut placer une entrée CLEAR, qui forcera la bascule dans l'état 0, et une entrée SET, qui l'obligera à passer à l'état 1. Le schéma de principe de la bascule est alors celui de la figure 5.

Les opérateurs arithmétiques

Nous pouvons distinguer deux types d'opérateurs arithmétiques : les opérateurs séries et les opérateurs parallèles. Les opérateurs séries travaillent bit après bit et ne sont pratiquement pas utilisés. L'étude portera donc uniquement sur les opérateurs parallèles.

On peut également classer les opérateurs en fonction de la caractéristique combinatoire ou séquentiel de leur conception. Dans les premiers, les différentes opérations sont exécutées en une seule phase et de ce fait sont commandées par des signaux à niveaux stables pendant toute l'opération.

Dans les seconds, les opérations sont exécutées en plusieurs phases commandées par des impulsions fournies par un dispositif de contrôle. Les opérateurs contiennent alors des dispositifs de mémorisation des résultats partiels.

Une solution intermédiaire consiste à disposer d'un opérateur combinatoire associé à un registre appelé accumulateur qui sert à la mémorisation du premier terme pendant l'opération et à la mémorisation du résultat par la suite.

Nous commencerons l'étude de ces opérateurs par les fonctions : addition, soustraction, comparaison et décalage (registres).

Additionneur

Soit deux nombres binaires écrits sous la forme :

$$A = A_n \dots A_2 A_1 A_0$$

$$B = B_n \dots B_2 B_1 B_0$$

A_n et B_n, \dots sont des chiffres 0 ou 1 de poids n.

L'addition des digits A_n et B_n donne lieu au tableau d'addition suivant :

A_n	B_n	$A_n + B_n$	S_n	R_n
0	0	0	0	0
0	1	1	1	0
1	0	1	1	0
1	1	10	0	1

Nous voyons immédiatement sur ce tableau que :

$$S_n = A_n + B_n$$

$$= A_n \bar{B}_n + \bar{A}_n B_n$$

$$R_n = A_n B_n$$

Le schéma logique de ce circuit, appelé demi-additionneur, est représenté figure 6.

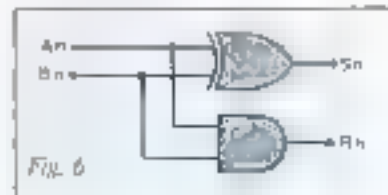


Fig. 6 - Schéma logique d'un demi-additionneur.

Si maintenant on tient compte du résultat du bit de poids précédent (tenue R_{n-1}) nous pouvons tracer le tableau suivant :

A_n	B_n	R_{n-1}	Somme S_n	Carry retenu R_n
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

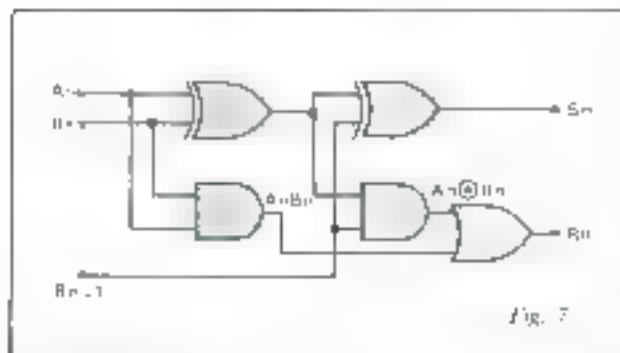


Fig. 7 - Schéma de principe d'un additionneur à deux entrées.

La ligne départ donne les informations $A_0, A_1, A_2, \dots, B_0, B_1, B_2, \dots$ simultanément aux additionneurs. La ligne résultat permet d'enregistrer la somme dans une mémoire.

Il doit exister entre le top « départ » et le top « résultat » un décalage permettant aux additionneurs de générer les retenues.

Soustraction

Pour soustraire deux nombres

On déduit de ce tableau les équations :

$$S_n = \bar{A}_n B_n \bar{R}_{n-1} + A_n \bar{B}_n \bar{R}_{n-1} + \bar{A}_n \bar{B}_n R_{n-1} + A_n B_n R_{n-1}$$

$$R_n = C_n = A_n B_n \bar{R}_{n-1} + \bar{A}_n B_n R_{n-1} + A_n \bar{B}_n R_{n-1} + A_n B_n R_{n-1}$$

Reprenons l'équation de S_n . Nous pouvons écrire :

$$S_n = (\bar{A}_n B_n + A_n \bar{B}_n) \bar{R}_{n-1} + (\bar{A}_n \bar{B}_n + A_n B_n) R_{n-1}$$

Si nous appliquons le théorème de Morgan :

$$S_n = (\bar{A}_n \bar{B}_n + A_n B_n) \bar{R}_{n-1} + (\bar{A}_n B_n + A_n \bar{B}_n) R_{n-1}$$

Nous retrouvons dans cette expression la structure du demi-additionneur précédent. Quant à l'expression de R_n , nous pouvons écrire :

$$R_n = A_n \cdot B_n \cdot (\bar{R}_{n-1} + \bar{R}_{n-1}) + R_{n-1} (\bar{A}_n B_n + A_n \bar{B}_n)$$

$$R_n = A_n \cdot B_n + R_{n-1} (\bar{A}_n B_n + A_n \bar{B}_n)$$

Le schéma de principe de cet additionneur est donné figure 7.

De la même façon, un additionneur binaire parallèle est formé par une chaîne d'étage additionneurs (fig. 8).

$A - B$, il est possible d'additionner le complément à deux de B , ce qui permet de conserver l'additionneur parallèle vu précédemment.

Rappelons que pour exprimer le complément à 2 d'un nombre

binnaire, on doit prendre le complément de chaque bit un à un et ajouter + 1.

Par exemple :

$$9 = 1001$$

Complément à 1 de

$$9 = 0110$$

Complément à 2 de

$$9 = 0110 + 1 = 0111$$

Vérifions que nous obtenons bien 8 en faisant l'opération $+ 9 - 9$ (il faut ajouter à 9 son complément à 2) :

$$1001 + 0111 = 1000$$

Si nous ignorons la retenue, le résultat de $+ 9 - 9$ est bien nul.

Ainsi, $A - B$ peut aussi s'écrire :

$$A - B = A + B + 1$$

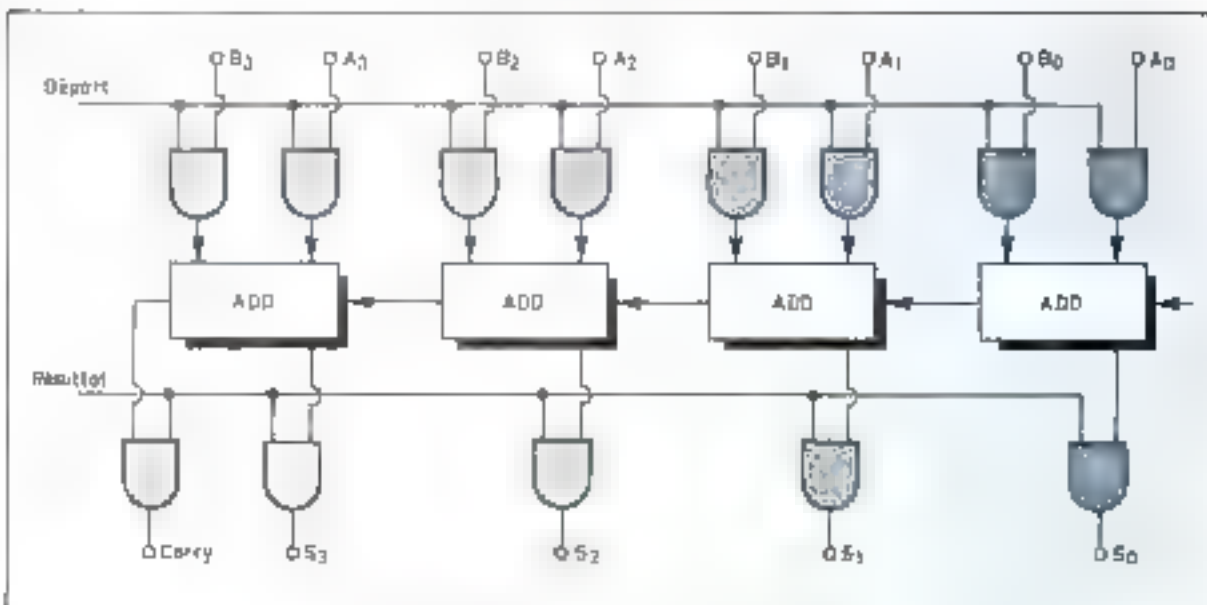
Le schéma de la figure 9 transforme un additionneur parallèle en additionneur ou soustracteur.

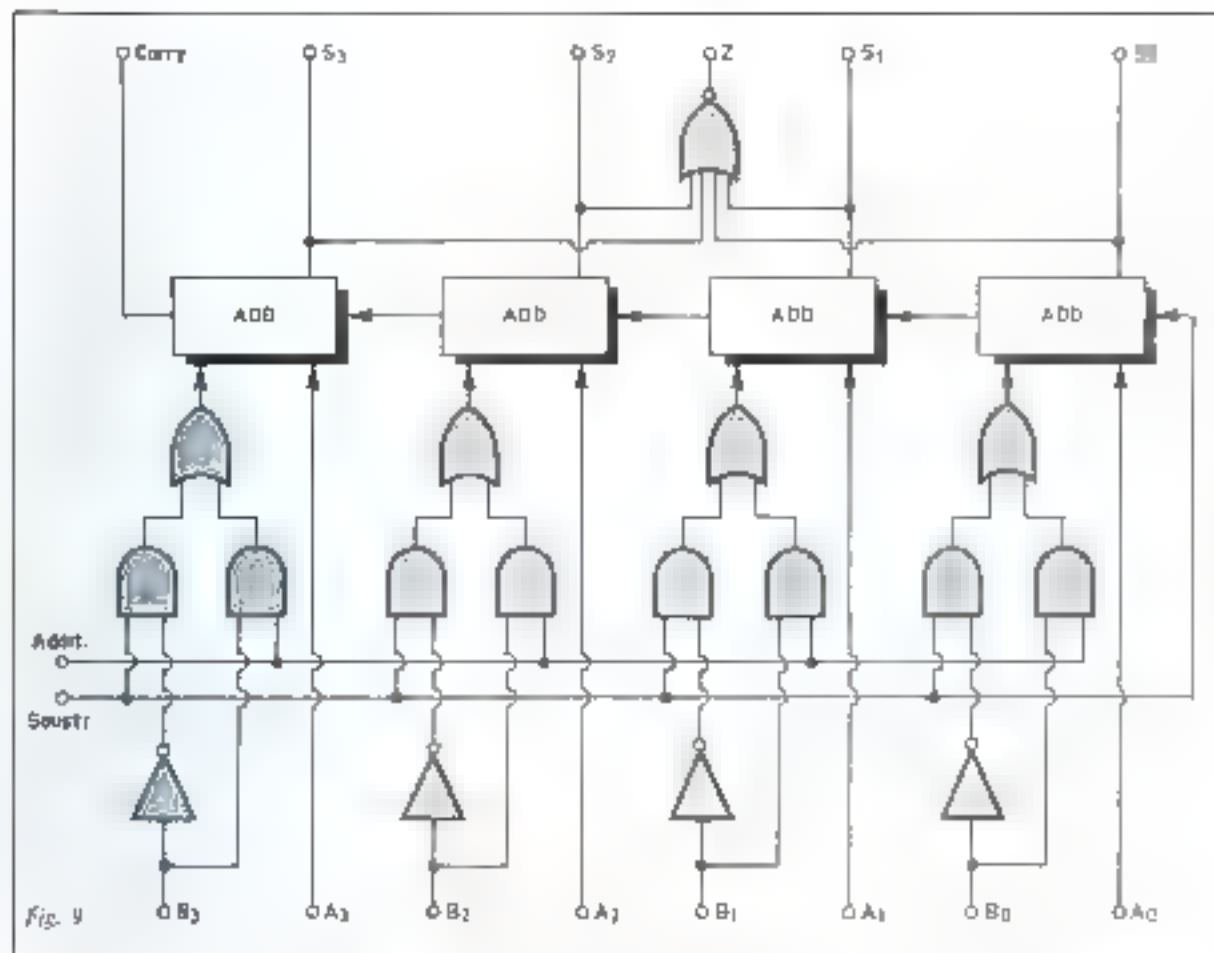
Comparaison

La réalisation d'un comparateur à l'aide de circuits logiques peut s'établir d'après la table de vérité ci-dessous où nous comparons deux nombres binaires A et B .

A	B	$A = B$	$A > B$	$A < B$
0	0	1	0	0
0	1	0	0	1
1	0	0	1	0
1	1	1	0	0

Fig. 8 - Un additionneur binaire parallèle est formé par une chaîne d'étage additionneurs.





La fonction d'égalité s'écrit :

$$S = \bar{A} \bar{B} + A B = A \oplus B$$

La fonction $A > B$ est définie par $A \bar{B}$

La fonction $A < B$ est définie par $\bar{A} B$

Il est donc possible de définir un comparateur à l'aide des circuits logiques de la figure 10.

Néanmoins, une autre méthode dite de soustraction et d'analyse du résultat peut être utilisée.

Soit deux nombres binaires A et B, faisons la soustraction $A - B$.

Si $A = B$ le résultat est nul et nous introduisons une information supplémentaire appelée Z qui aura pour valeur logique 1 lorsque le résultat d'une opération arithmétique sera nul.

Ceci peut être facilement obtenu en plaçant une porte NON-OU à la sortie du circuit addim-soustracteur de la figure 9.

La fonction Z sera alors du type :

$$Z = S_0 + S_1 + S_2 + S_3$$

Il est possible de réaliser la fonction de comparaison en étudiant uniquement la valeur du bit de signe et du bit de retenue du circuit addim-soustracteur.

C'est cette méthode qui est utilisée dans les microprocesseurs.

Fig. 9. - Schéma d'un addim ou soustracteur.

Fig. 10. - Comparateur.

La fonction $A = B$ est définie par $\bar{A} \bar{B}$
La fonction $A > B$ est définie par $A B$
La fonction $A < B$ est définie par $\bar{A} B$

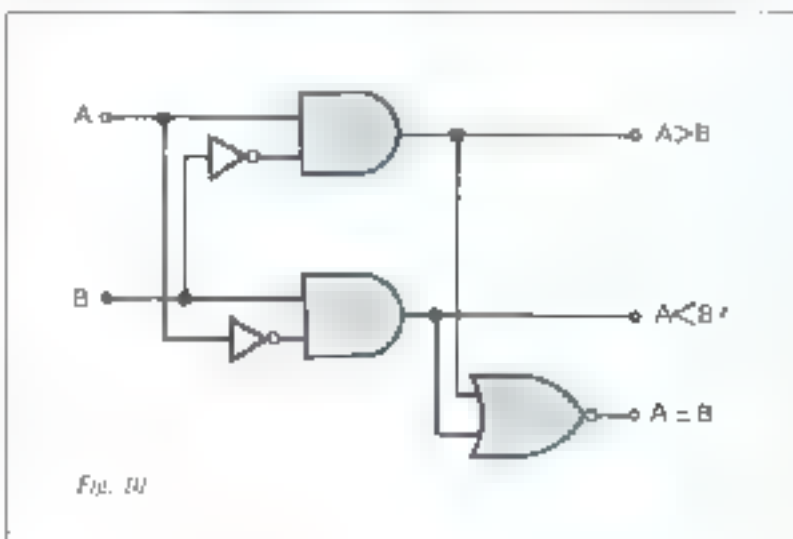


Fig. 10

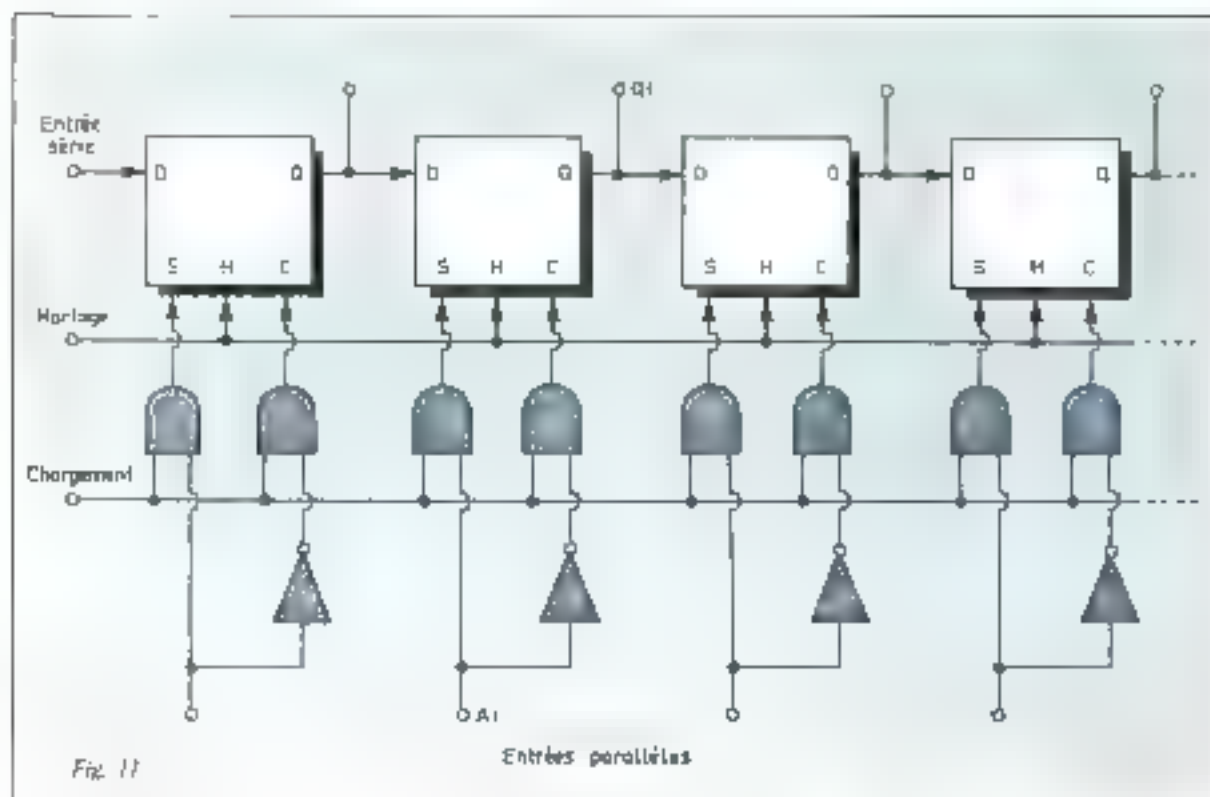


Fig. 11 - Schéma d'un registre à décalage statique à n entrées parallèles. Le schéma de bascule type II.

Les registres

On appelle registre, une petite mémoire linéaire à accès parallèle. Chaque case du registre est constituée d'une bascule, ou d'une cellule mémoire.



Elles sont accessibles séparément et l'ensemble du registre fonctionne à entrées et sorties parallèles.

Ce type de registre est très utilisé pour le stockage temporaire d'informations. Il est parfois appelé « registre-tampon ».

Il est possible de déplacer pas à pas l'information dans un registre. Dans ce cas, cette mémoire linéaire s'appelle un registre à décalage. Dans le paragraphe suivant, nous allons étudier en détail le fonctionnement de ces registres, mais il est évident que les principes des circuits examinés s'appliquent également aux registres-tampons.

Il existe deux grandes familles de registres à décalage.

- les registres à décalages statiques qui peuvent conserver l'information indéfiniment si

aucune impulsion de décalage n'est appliquée.

- les registres à décalages dynamiques qui ne peuvent conserver l'information indéfiniment. Rien résulte que la vitesse de décalage imposée par l'horloge ne peut pas descendre en dessous d'une valeur minimale.

a) - Registre à décalage statique

Ce type de registre est composé de n bascules. Il peut donc emmagasiner une information de n bits. Ces bascules sont interconnectées de façon à ce que l'état logique du flip flop de rang i soit transmis au flip flop de rang i + 1 quand un signal d'horloge est appliqué à l'ensemble des bascules.

Le schéma de principe d'un registre à décalage statique utilisant des bascules D par exemple est donné figure 11.

La bascule III après chaque impulsion d'horloge « reçoit » l'état de la bascule précédente. Il y a bien décalage de l'information au rythme de la fréquence d'horloge.

Le chargement ou l'inscription

du registre s'effectue de la façon suivante.

Si par exemple l'entrée A est à 0, au moment où apparaît l'impulsion de chargement, nous appliquons : 1 sur l'entrée CLEAR et 0 sur l'entrée SET, la bascule passe à zéro donc Q = 0. Inversement si l'entrée A est à 1. La sortie Q passera à 1.

Dans ce type de bascules lorsque C et S sont à 0, ils sont sans effet sur le fonctionnement de la bascule. L'entrée à 1 « force » la bascule dans un état donné. Il est possible de trouver des flip-flop ayant des entrées C, S répondant au niveau « 0 ».

b) - Registre à décalage dynamique

Ce type de registre en technologie MOS utilise les capacités internes à chaque étage pour conserver l'information. Le temps maximal de stockage par étage est limité à la constante de temps de décharge de ces capacités internes. La technologie MOS permet d'avoir des constantes de temps relativement élevées grâce à la très grande impédance d'entrée des transistors.

La figure 12 indique le principe d'une cellule élémentaire.

C_1 , C_2 , C_3 sont les capacités d'entrée des transistors MOS. Pour comprendre le fonctionnement, nous supposons qu'initialement un « 1 » est stocké dans la cellule précédente, et que la cellule étudiée est à « 0 ».

Quand l'impulsion ϕ_1 apparaît, la sortie du circuit à - 1 est mise en liaison avec l'entrée de la cellule i , la capacité C_1 se charge et la sortie de la cellule i est connectée à l'entrée de la cellule $i + 1$ car le transistor T_4 est passant. Si T_4 est saturé, on obtient C_1 à se décharger à travers T_4 , T_3 et à stocker un 0.

Lorsque l'impulsion ϕ_2 apparaît, le transistor T_2 devient conducteur et recharge la capacité C_2 . A la deuxième impulsion ϕ_2 , le contenu de la cellule $i - 1$ est transféré dans la cellule i . En effet, la capacité C_2 étant déchargée, le transistor T_2 est bloqué. Il apparaît V_{TDP} sur son drain, donc l'information logique 1.

De même, on transfère le contenu de la cellule i dans la cellule $i + 1$ en chargeant la capacité C_3 .

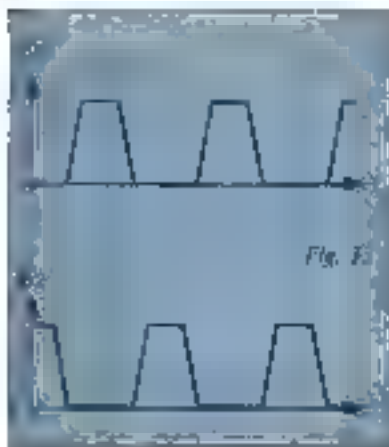


Fig. 13 - Les deux impulsions de phase est décalée de $\pi/2$.

Ainsi, il est indispensable de générer deux impulsions d'horloge différentes pour un seul décalage. Le fonctionnement est à deux phases. Les phases relatives de ces signaux d'horloge sont présentées figure 13.

Ces registres peuvent décaler les informations vers la gauche ou vers la droite, fonction nécessaire pour les opérations arithmétiques (multiplication et division).

Fig. 14 - Structure des registres à décalage dynamique. C_1 , C_2 , C_3 sont les capacités d'entrée des transistors MOS.

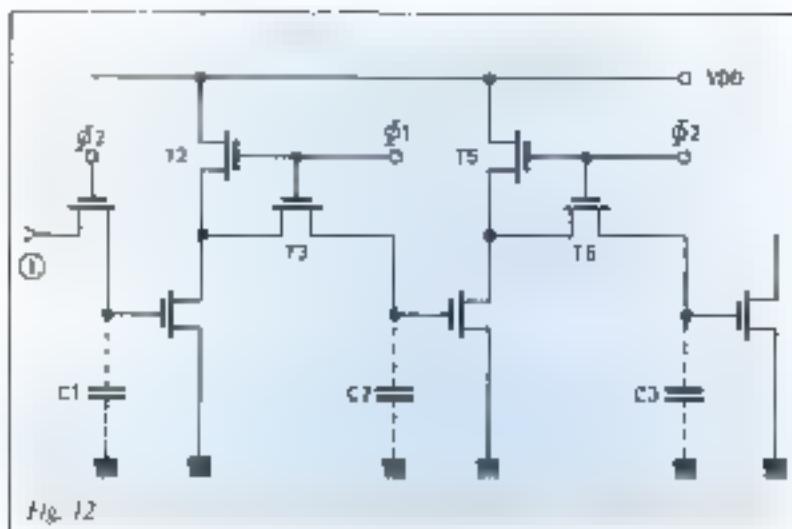


Fig. 12

En outre, leur accès est souvent bidirectionnel, c'est-à-dire que les bornes d'entrées-sorties IES ou I/O sont communes. L'ensemble de ces bornes est parfois appelé « lignes omnibus ».

c) - Registre à trois états

Pour réaliser un registre à trois états (ou tri-state), il suffit de remplacer les portes de sorties par des portes trois-états.

Dans une logique trois états, le troisième état correspond à une porte à haute impédance. L'information est donc déconnectée.

Cette fonction est très intéressante, lorsque l'on branche plusieurs registres en parallèles, il suffit de placer en troisième état tous les registres non utilisés.

Nous indiquons ici à titre d'exemple, le schéma de principe d'une porte C-MOS à trois états (Fig. 14).

On associe à une porte NAND classique, une porte de transfert branchée en série avec la sortie. Cette porte de transfert étant constituée de deux transistors MOS complémentaires. Suivant la valeur du signal appliquée sur la borne TSC, les deux transistors sont conducteurs et le système fonctionne comme une porte NAND, ou les deux transistors sont bloqués, la porte est alors en troisième état.

On utilise ce type de porte pour avoir une faible impédance de sortie que S soit à 1 ou à 0.

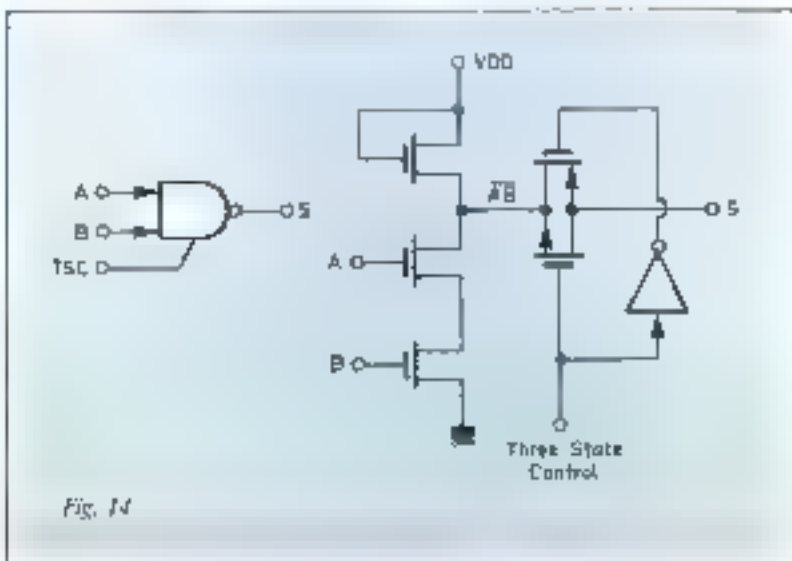


Fig. 14

Lorsque le mode de fonctionnement d'un opérateur est séquentiel, les opérations sont exécutées en plusieurs phases.

Réalisation d'une unité arithmétique et logique (A.L.U.)

Nous avons vu dans les précédents chapitres que pour réaliser les opérations logiques et arithmétiques, nous avons besoin des opérateurs suivants :

— Opérateurs logiques : complémentarité, ET, OU, NON, EXCLUSIF

— Opérateurs arithmétiques : addition, soustraction, décalage à droite, décalage à gauche, comparaison

— Indicateurs d'état : retenue, signe, dépassement, demi-retenue

Une unité arithmétique et logique est un circuit qui regroupe ces différents opérateurs.

Avant l'avènement des microprocesseurs, les constructeurs avaient déjà regroupés l'ensemble des fonctions décrites ci-dessus dans un circuit intégré unique appelé **unité arithmétique et logique**. A titre d'exemple, nous pouvons citer le SN54181 de Texas Instruments.

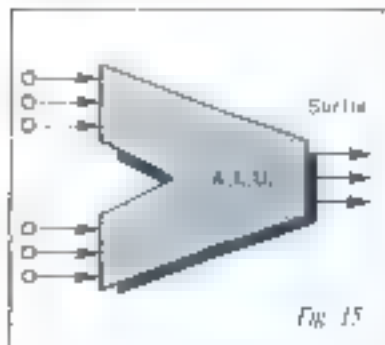


Fig. 15

Le symbole de l'unité arithmétique et logique est représenté figure 15.

La réalisation d'une A.L.U. peut être envisagée sous trois modes de fonctionnement que nous décrivons successivement :

- Fonctionnement combinatoire.
- Fonctionnement séquentiel.
- Fonctionnement combinatoire, avec accumulateur.

1. Fonctionnement combinatoire

Pour effectuer les différentes opérations sur l'unité arithmétique et logique, nous pouvons imaginer

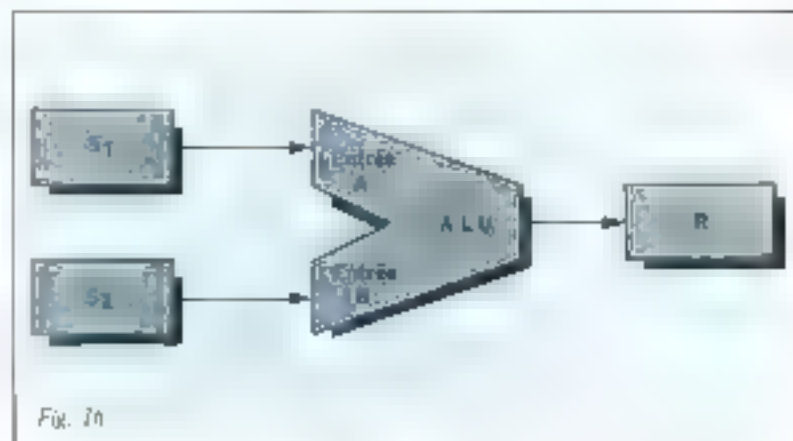


Fig. 16

que l'information A est mise en mémoire dans un registre source S₁, que l'information B est mise en mémoire dans un registre source S₂ et que le résultat sera obtenu dans un troisième registre R (fig. 16).

Les informations étant présentes à l'entrée et à la sortie, nous avons dans ce cas un fonctionnement combinatoire.

2. Fonctionnement séquentiel

Afin de réduire le nombre de registre mémoire et surtout le nombre de liaisons entre les registres et l'unité arithmétique et logique, nous pouvons imaginer un fonctionnement séquentiel suivant (fig. 17) :

Les informations A et B sont contenues dans une mémoire.

1^{re} étape :

L'information A est envoyée dans un registre placé à côté de l'A.L.U. et appelé accumulateur.

L'information A stockée dans l'accumulateur est appliquée sur l'entrée A de l'unité arithmétique et logique.

2^e étape :

L'information B est envoyée à l'entrée B de l'unité arithmétique et logique.

3^e étape :

Le résultat de l'opération est renvoyé dans l'accumulateur qui perd alors l'information A pour stocker la valeur de sortie de l'unité arithmétique et logique.

4^e étape :

L'information contenue dans l'accumulateur est envoyée dans la mémoire.

3. Fonctionnement combinatoire avec accumulateur

Le principe indiqué ci-dessus ne peut malheureusement pas fonctionner de façon aussi simple, car on s'aperçoit que lors de la troisième étape il se passe un problème dit de **course critique**. En effet, au moment où l'on réinjecte le signal de sortie de l'unité arithmétique et logique dans l'accumulateur, il n'y a plus d'informations à l'entrée A, et le fonctionnement combinatoire des circuits logiques n'est plus respecté. Les temps de propagation des signaux deviennent alors très critiques et dans ce cas, la fonction est défectueuse.

Pour éviter cet inconvénient, il est nécessaire d'ajouter des registres « tampon » ou buffers pour stocker les valeurs pendant les transitions des informations.

Plusieurs solutions sont possibles.

Dans la **solution A** le fonctionnement est le suivant (fig. 18) :

- 1) Chargement de l'information A dans l'accumulateur et à l'entrée de l'unité arithmétique et logique.
- 2) Transmission de l'information B à l'entrée de l'A.L.U.
- 3) Transfert du résultat dans un registre « buffer ».
- 4) Envoi du résultat contenu dans le « buffer » vers l'accumulateur.
- 5) L'information contenue dans l'accumulateur est expédiée vers la mémoire.

Dans la **solution B** le fonctionnement est le suivant :

- 1) L'information A est envoyée dans l'accumulateur.

Fig. 17. Schéma de principe d'un fonctionnement séquentiel.

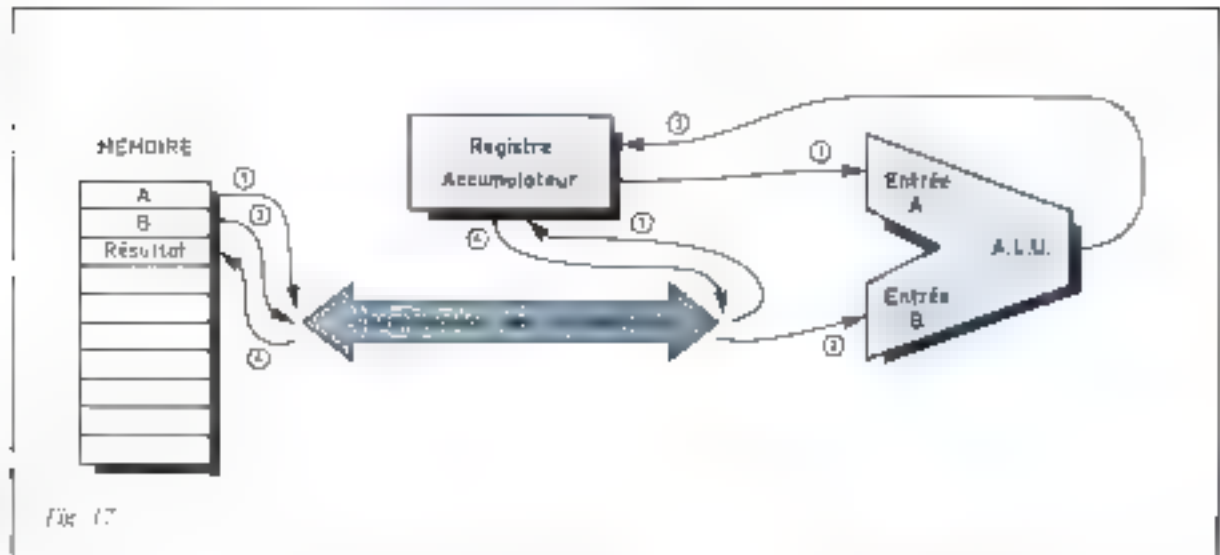


Fig. 17 - Fonctionnement simplifié de l'ALU. Les entrées A et B sont connectées à la mémoire.

Fig. 17

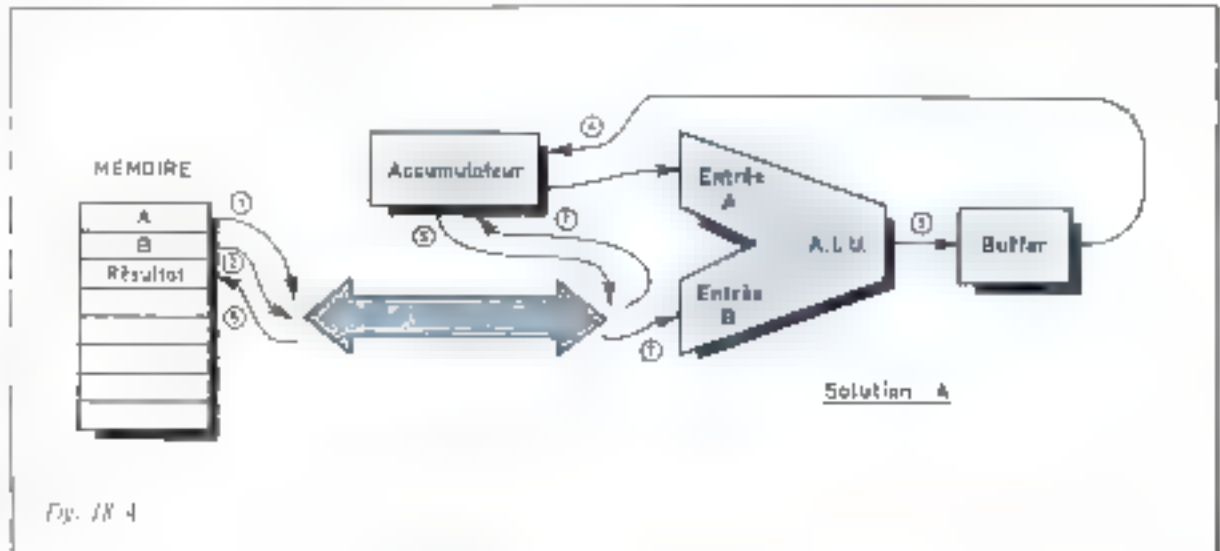


Fig. 18 A et 18 B - Fonctionnement combinatoire avec un accumulateur.

Fig. 18 A

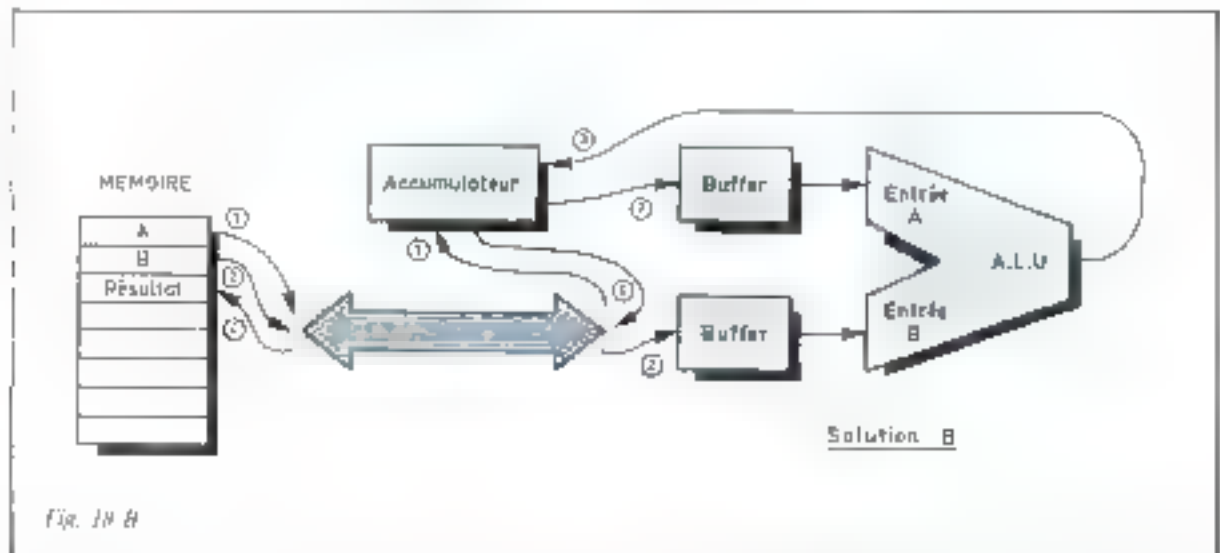


Fig. 18 B

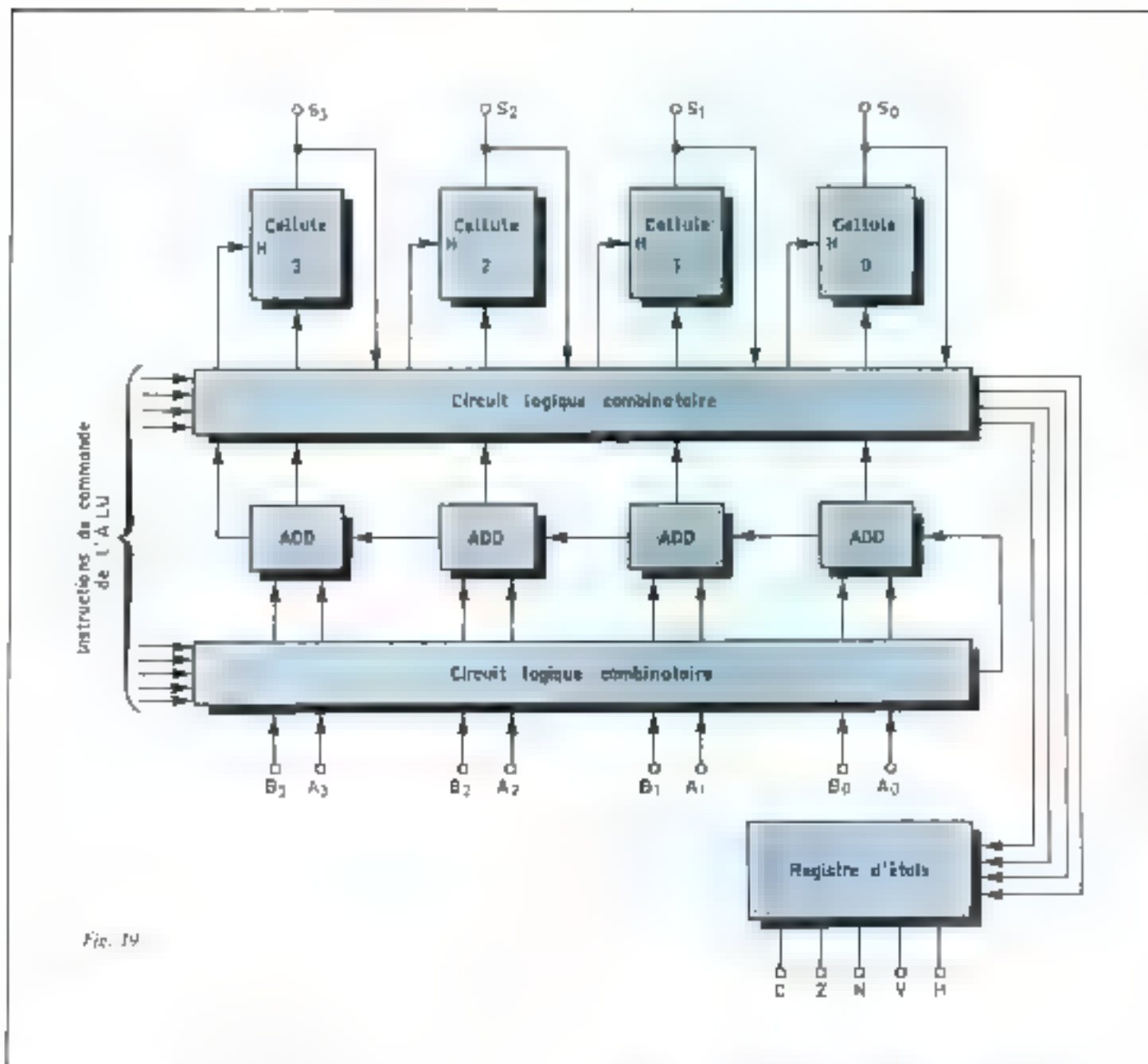


Fig. 19

Fig. 19. - Schéma synoptique de l'A.L.U. (Arithmétique et Logique).

2°) L'information B est envoyée dans un registre, puis à l'entrée de l'A.L.U. En même temps l'information contenue dans l'accumulateur est expédiée dans un registre, puis vers l'entrée de l'A.L.U.
 3°) Le résultat à la sortie de l'A.L.U. est expédié vers l'accumulateur.
 4°) Le résultat de l'accumulateur est retourné vers la mémoire.

Dans cette solution, si l'on

ajoute un registre, on économise une étape nous avons donc un temps de fonctionnement plus rapide.

Nous constatons que si le cheminement des informations est réalisé sous forme séquentielle, le fonctionnement de l'unité arithmétique et logique est toujours du type combinatoire.

En général, dans les microprocesseurs, une unité arithmétique et

logique est accompagnée d'un registre de sortie qui sert — soit d'étage tampon pour l'accumulateur ;

— soit de registre de décalage gauche ou droite, pour les opérations multiplication ou de division.

Le schéma synoptique d'une A.L.U. d'un microprocesseur est représenté figure 19. ■

Jean FREMEAUX

• M. A. M. FREMEAUX
 ingénieur
 à la Direction
 générale de l'Étude
 et de la Conception
 des Systèmes
 d'Automatisme
 de la S.A. "Microsystemes"

Les transistors VMOS

Une technologie récemment développée par Siliconix dans le domaine des transistors MOS (Metal Oxide Semiconductor) a permis d'augmenter la densité de courant admissible par ces transistors et de produire des composants capables de commuter des intensités de plusieurs mA à quelques A tout en conservant les avantages des MOS conventionnels.

Appelés VMOS pour Vertical MOS car le courant qui les traverse est un courant vertical, ces dispositifs ont de nombreuses applications dans le domaine de la puissance, des techniques HF et surtout en commutation où ils s'interfacent avec tous systèmes de commande susceptibles de fournir un échelon de tension de 5 à 30 V.

Constitution :

Les figures 1, 2, 3 et 4 représentent respectivement, à titre de comparaison, les sections verticales des différentes technologies mises en œuvre pour élaborer des transistors VMOS, bipolaires, MOSFET et DMOS.

La principale limitation des transistors MOSFET et DMOS (MOS à double diffusion) est due au fait que ces transistors sont des dispositifs strictement horizontaux de telle sorte leur densité de courant est moins importante que celle des transistors bipolaires qui utilisent un courant vertical. Dès lors, partant de cette constatation, les ingénieurs d'étude réalisèrent un compromis ayant les avantages des MOS et des transistors bipolaires sans en avoir les inconvénients : limitation en courant pour les MOS, élimination des problèmes d'emballement thermique, de second claquage et de stockage des porteurs minoritaires. Ainsi, le VMOS a sa source opposée au drain tout comme le collecteur est opposé à l'émetteur dans un transistor bipolaire.

Un transistor VMOS est constitué de la façon suivante :

— Un substrat est matériau N⁺ constitue le drain et offre une faible résistance de conduction.



Une couche épitaxiale N⁺ augmente la tension de claquage et réduit la réaction capacitive puisque la grille recouvre le matériau N⁺ plutôt que la couche N⁺.

Photo SEM - Section d'un MOS (Duo - DMOS)

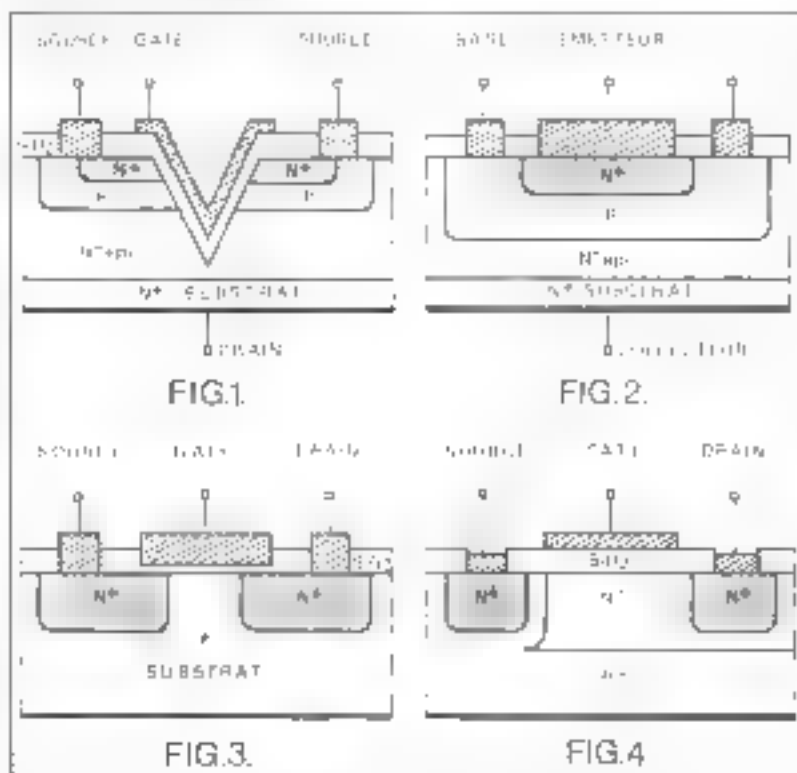


Fig. 1 - Coupe verticale d'un canal VMOS.

Fig. 3 - Coupe verticale d'un MOSFET à double diffusion.

Fig. 2 - Coupe verticale d'un transistor bipolaire à double diffusion.

Fig. 4 - Coupe verticale d'un DMOS.

Le VMOS a sa source opposée au drain tout comme le collecteur est opposé à l'émetteur dans un transistor bipolaire.

— Une couche P et une couche N⁺ diffusées dans la couche épitaxiée.

— Une entaille en forme de V réalisée par attaque chimique à travers le corps et la zone épitaxiée.

— Une couche de dioxyde de silicium (SiO₂) et une métallisation aluminium pour fermer les contacts source et gate.

— Le chip est ensuite passivé pour empêcher la contamination de la couche d'oxyde de gate.

Il est à noter que ce processus, jusqu'au motif ou l'on pratique l'entaille en V est similaire à celui d'un transistor planar épitaxial double diffusion. Dans un transistor MOS conventionnel, le courant circule horizontalement de la source au drain à travers le canal qui est induit au niveau de la face supérieure du substrat.

Fonctionnement :

En fonctionnement, la gate et le drain sont polarisés positivement par rapport à la source. La gate produit un champ électrique qui induit un canal de type N au niveau des surfaces du corps en regard de la gate et permet aux électrons (porteurs majoritaires) de circuler de la source au drain à travers le canal N de la couche épitaxiée.

Une plus grande tension gate enrichit un canal plus profond, crée

un passage de courant drain-source plus large et accroît l'intensité traversant le semi-conducteur. Par exemple, le VMOS référencé VN 66 AF a un courant drain de 650 mA avec une tension gate-source de 5 V et 2 A avec 10 V.

Caractéristiques :

La caractéristique de sortie d'un transistor VMOS type VN 66 AF est représentée figure 5. Contrairement aux transistors MOS, l'axe vertical des intensités est gradué en A et non en mA.

La conductance de sortie est faible, les courbes sont horizontales et non inclinées. La caractéristique de transconductance g_m (fig 6) en fonction du courant drain est linéaire au-dessus de 400 mA et quadratique en-dessous. La conductance et la transconductance sont définies en annexe.

En commutation, les VMOS peuvent conduire 10 W de façon brève. Leur impédance d'entrée est très élevée le courant d'entrée est inférieur à 100 nA) et ils commutent (passage de l'état ON à l'état OFF ou OFF-ON) par application d'une simple tension sur la gate.

La figure 7 montre la courbe de transfert d'un VMOS, la résistance drain-source (R_{DS}) passe d'une valeur infinie quand la tension

Conductance et transconductance

A - La conductance

On appelle conductance G, l'inverse de la résistance :

$$G = \frac{1}{R} = \frac{1}{L}$$

L'unité de conductance est le mho (Ω⁻¹) ou l'ampère par volt (A/V).

Ainsi, la conductance d'un ensemble de résistances en parallèles est égale à la somme des conductances de chacune des résistances.

$$G_i = \frac{1}{R_1} + \frac{1}{R_2} + \frac{1}{R_3}$$

$$= G_1 + G_2 + G_3$$

B - La transconductance

La transconductance (g_m), ou conductance de transfert d'un transistor MOS représente sa pente. Elle est donnée, pour une tension drain-source (V_{DS}) constante, par la relation :

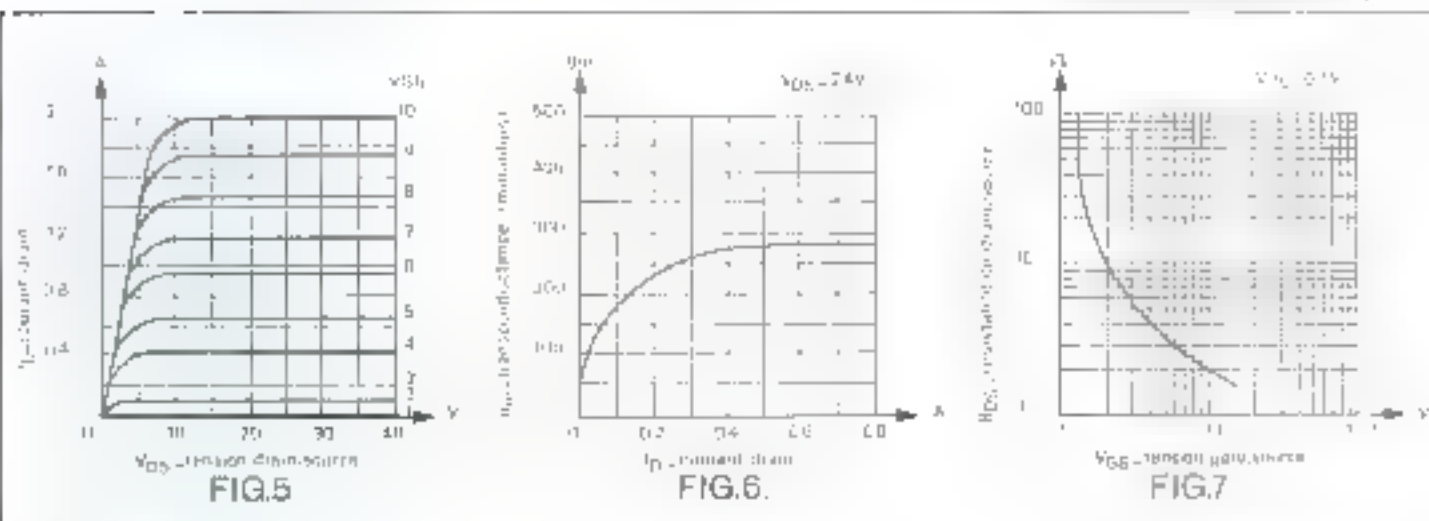
$$g_m = \frac{d(I_{DS})}{d(V_{GS})}$$

g_m exprime la variation du courant drain (I_{DS}) par unité de tension gate-source (V_{GS}) appliquée au transistor.

Fig. 5 - Caractéristiques de sortie de VN 66 AF

Fig. 6 - Caractéristique de la transconductance g_m en fonction du courant drain de VN 66 AF

Fig. 7 - Courbe de transfert d'un VMOS drain-source en fonction de V_{GS}



PRINCIPAUX AVANTAGES DES VMOS

1) La structure verticale d'un VMOS lui confère les avantages suivants par rapport aux transistors MOS conventionnels :

- La longueur du canal d'un VMOS est déterminée par les profondeurs de diffusion lesquelles sont mieux contrôlées que les dimensions d'un masque qui définissent la longueur du canal d'un MOS.

- Chaque entaille en V créant 2 canaux, la densité de courant est inévitablement doublée.

- Le substrat forme le drain, il n'y a donc pas de métallisation sur cette face ce qui réduit la surface du chip.

2) Avantages par rapport aux transistors bipolaires :

- Haute impédance d'entrée donc faible courant de commande (100 nA typique). Le gain en courant d'un VMOS (β) est donc supérieur à 10.

- Pas de stockage de porteurs minoritaires (le VMOS est un dispositif à porteurs majoritaires), le temps de retard de commutation est donc faible (quelques nanosecondes).

- Absence de second claquage. Le coefficient de température de R_{DS} à l'état ON étant positif (négatif pour le bipolaire), le courant débité par un VMOS diminue quand la température augmente.

3) Principaux avantages des VMOS en commutation analogique :

- Une résistance R_{DS} faible donc faibles pertes d'insertion.

- Un courant continu débité élevé (2 A). Trois VMOS montés en parallèles peuvent commuter 6 A sans résistance d'équilibrage.

- Une isolation de 60 dB à 10 MHz et 500 nA de courant de fuite à l'état OFF.

- Résistance R_{in} linéaire qui entraîne une faible distorsion harmonique et peu d'intermodulation.

gate-source (V_{GS}) est proche de zéro c'est l'état OFF, à une valeur de quelques ohms lorsque la tension gate est de 10 V : c'est l'état ON. Le canal drain-source étant purement résistif à l'état ON, la distorsion en commutation analogique est faible.

À l'état OFF, le VMOS est équivalent à deux diodes D_1 et D_2 (fig. 8), la diode équivalente D_1 est shuntée par une résistance de 2 Ω environ quand le transistor est à l'état ON (fig. 9).

Faiblement en fonction de la température, la résistance drain-source d'un VMOS augmente en typique de 0,5 à 0,6 %/°C, cela est dû à la diminution de la mobilité des électrons dans le silicium lorsque la température augmente et entraîne une dissipation proportionnelle de tension source. Ainsi, il n'y a pas de composants pour la stabilisation thermique car le coefficient de température est positif. Néanmoins, il est souhaitable de limiter l'augmentation de R_{DS} et de la température pour ne pas compromettre la fiabilité à long terme (Température maximum de jonction 150°C). Certains transistors VMOS ont une diode Zéner incorporée afin de protéger leur jonction gate-source.

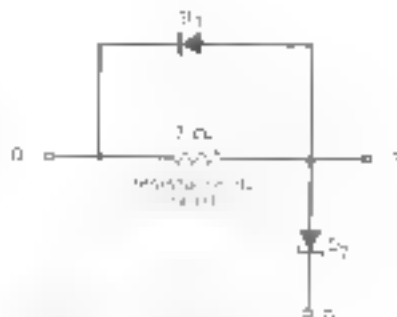
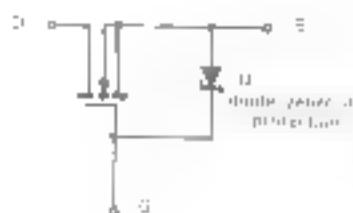


Fig. 8 - Circuit équivalent à l'état OFF.

Fig. 8 - Circuit équivalent à l'état OFF ($V_{GS} = 0$).



Symbole d'un transistor à MOS et de sa diode Zéner de protection.

Applications :

Le VMOS est un dispositif idéal en commutation. Il est capable de fournir plusieurs ampères à une charge lorsqu'on lui applique une simple tension de 5 à 30 V. Avant de décrire quelques applications de ces dispositifs, examinons rapidement les composants nécessaires à la réalisation d'interfaces issues des technologies couramment utilisées : CMOS, MOS, TTL et TTL à collecteur ouvert.

Si on désire commuter une charge de plusieurs A, à partir d'une porte CMOS (fig. 10), un VMOS seul suffit. Un niveau bas à l'entrée de CD 4011 fait conduire le transistor alors qu'un niveau haut le bloque. La vitesse de commutation est augmentée si on met en parallèle plusieurs portes CMOS ce qui accroît le courant de commande (fig. 11). La figure 12 représente un exemple d'interface dans le cas d'une commande utilisant une horloge CMOS. Lorsque la tension est générée par une porte TTL, il faut introduire une résistance pour assurer un signal de commande de gate suffisant (fig. 13). Si on désire obtenir un courant plus important (ou un R_{DS} plus faible) la tension gate doit être augmentée et on utilisera une porte TTL à collecteur ouvert avec 10 à 15 V d'alimentation (fig. 14).

Les figures 15 à 20 représentent des applications simples des VMOS telles que circuits d'éclairage, alarme basse fréquence, commande de relais ou de diodes électroluminescentes (LED).

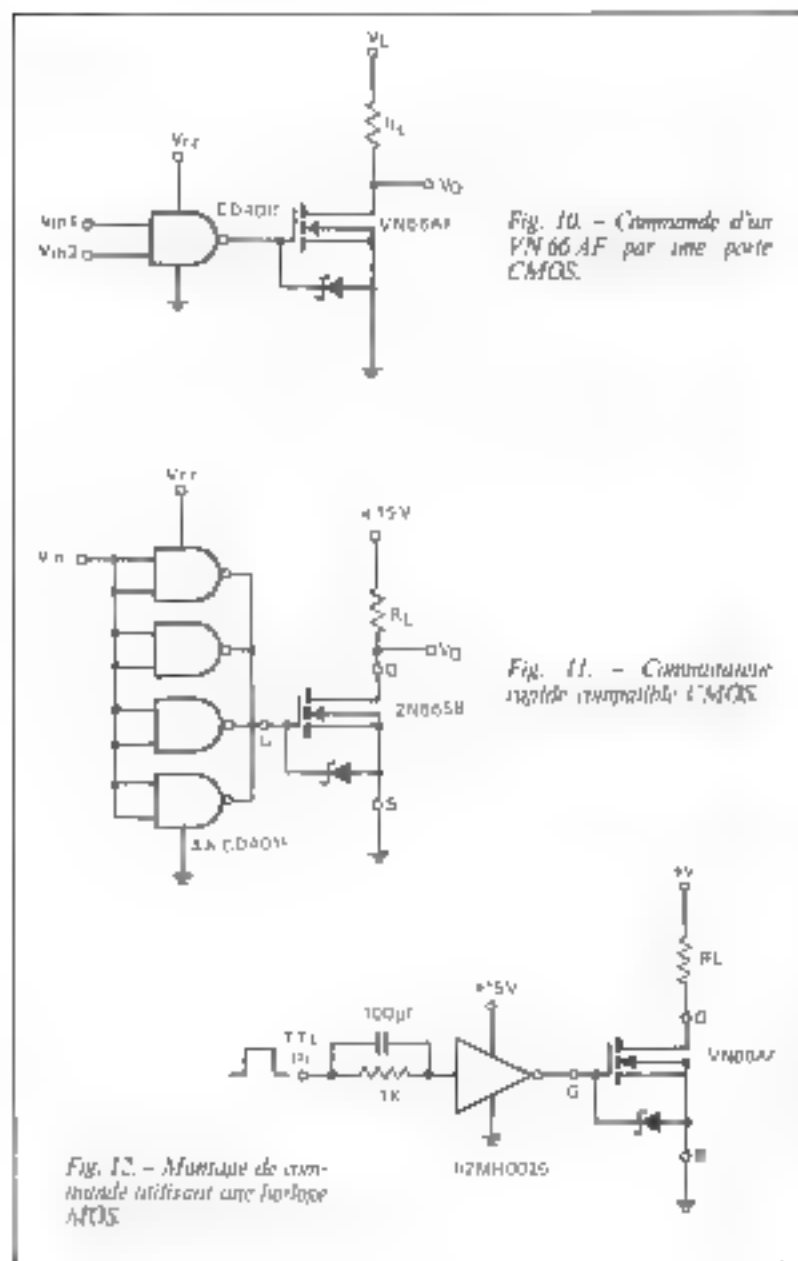


Fig. 12. - Montage de commande utilisant une horloge CMOS.

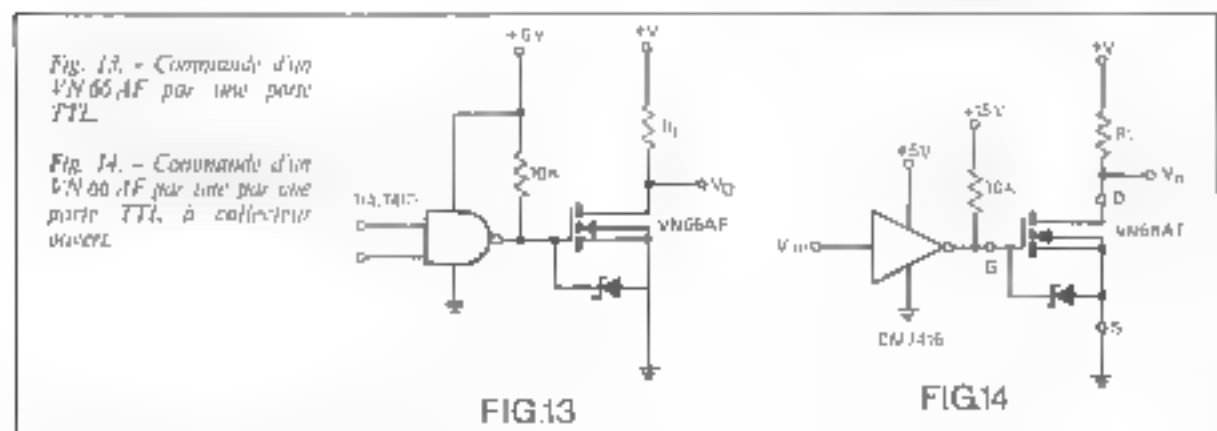


Fig. 13. - Commande d'un VN66AF par une porte TTL.

Fig. 14. - Commande d'un VN66AF par une porte TTL à collecteur ouvert.

FIG13

FIG14

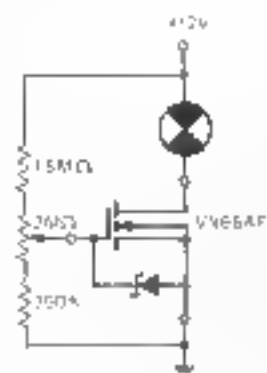


FIG.15

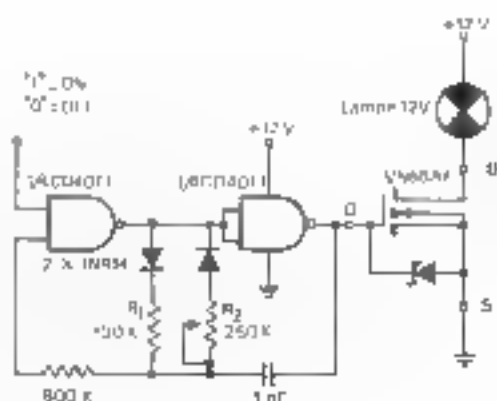


FIG.16

Fig. 15 - Un circuit linéaire à l'inductance d'éclairage

Fig. 16 - Un circuit redresseur d'éclairage simple

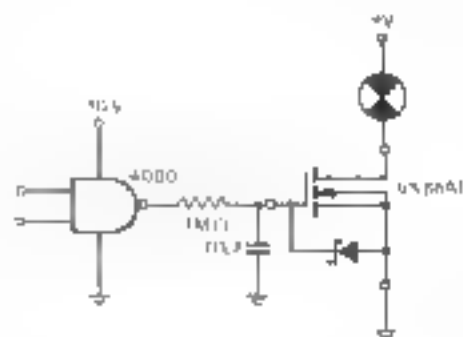


FIG.17

Fig. 17 - Circuit d'éclairage à l'inductance d'éclairage dans un appareil à microprocesseur

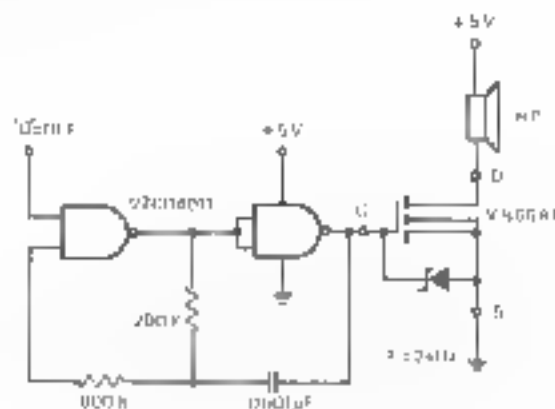


FIG.18

Fig. 18 - Une commande à l'inductance d'éclairage

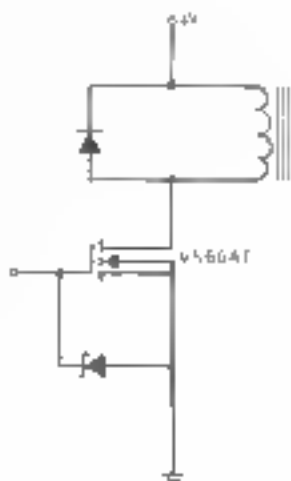


FIG.19

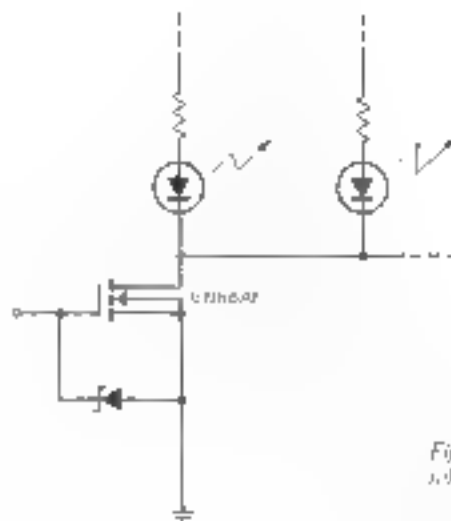


FIG.20

Fig. 19 - Commande de relais au de (microprocesseur)

Fig. 20 - Commande de LED

Remarque, figure 21, un exemple très intéressant d'interface pour microprocesseurs CMOS : CDP 1802 de RCA. Le dispositif d'entrée-sortie (I/O CDP 1852) fournit directement la tension

nécessaire à la commande des circuits de sortie équipés de transistors VMOS. Ceux-ci peuvent débiter jusqu'à 2 A aux systèmes périphériques

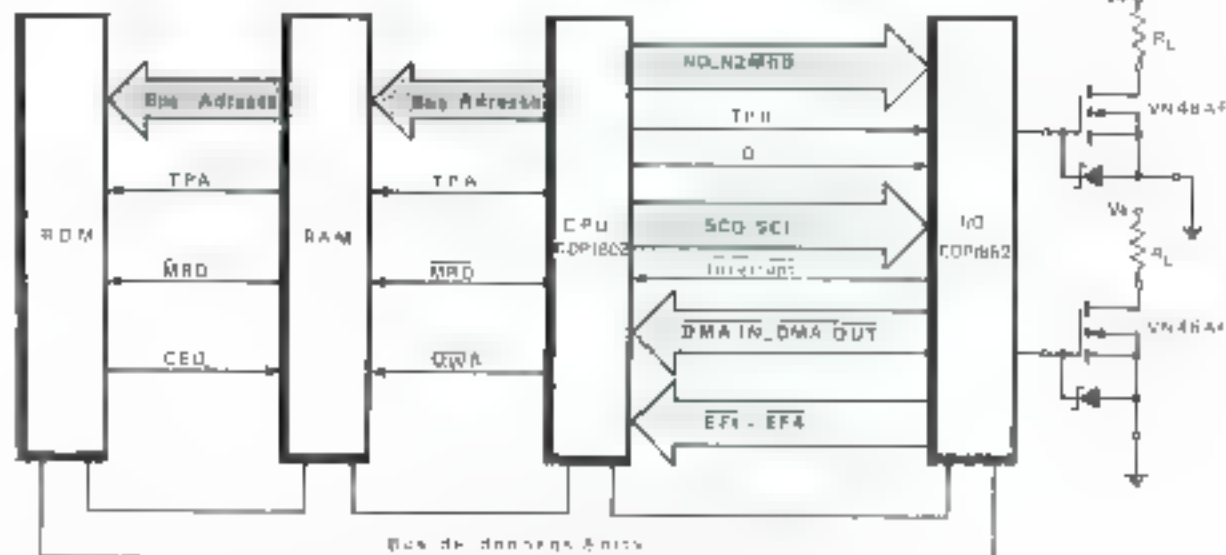


Fig. 21. - Exemple d'interface pour Microprocesseur CDP 1802.

Tableau guide des VMOS

TENSION DE SATURATION (V _{DS(sat)}) @ I _D = 1 amp, V _{GS} = 10 V (VOLTS)	TENSION DE CLAUJAGE (V _{DSS}) @ I _D = 10 mA						BOITIER
	90 V		65 V		35 V		
	ZENER	NON-ZENER	ZENER	NON-ZENER	ZENER	NON-ZENER	
4.5	555V12	VN88AJ					TO-18
4.0	2N6658	VN88AJ					
3.5			555V01	VN87AJ			
3.0			2N6657	VN86AJ			
2.5					555V11	VN85AJ	
1.8					2N6656	VN83AJ	TO-18
4.5	555V22	VN88AK					
4.0	2N6651	VN88AK					
3.5			555V02	VN87AK			
3.0			2N6660	VN86AK			
2.6					555V21	VN85AK	TO-18
1.8					2N6659	VN83AK	
							TO-18
4.0	VN88AF						
3.0			VN86AF		VN84AF		
							TO-18
3.0				VN84A			

Un système simple de vérification des mémoires : ROM, PROM et EPROM

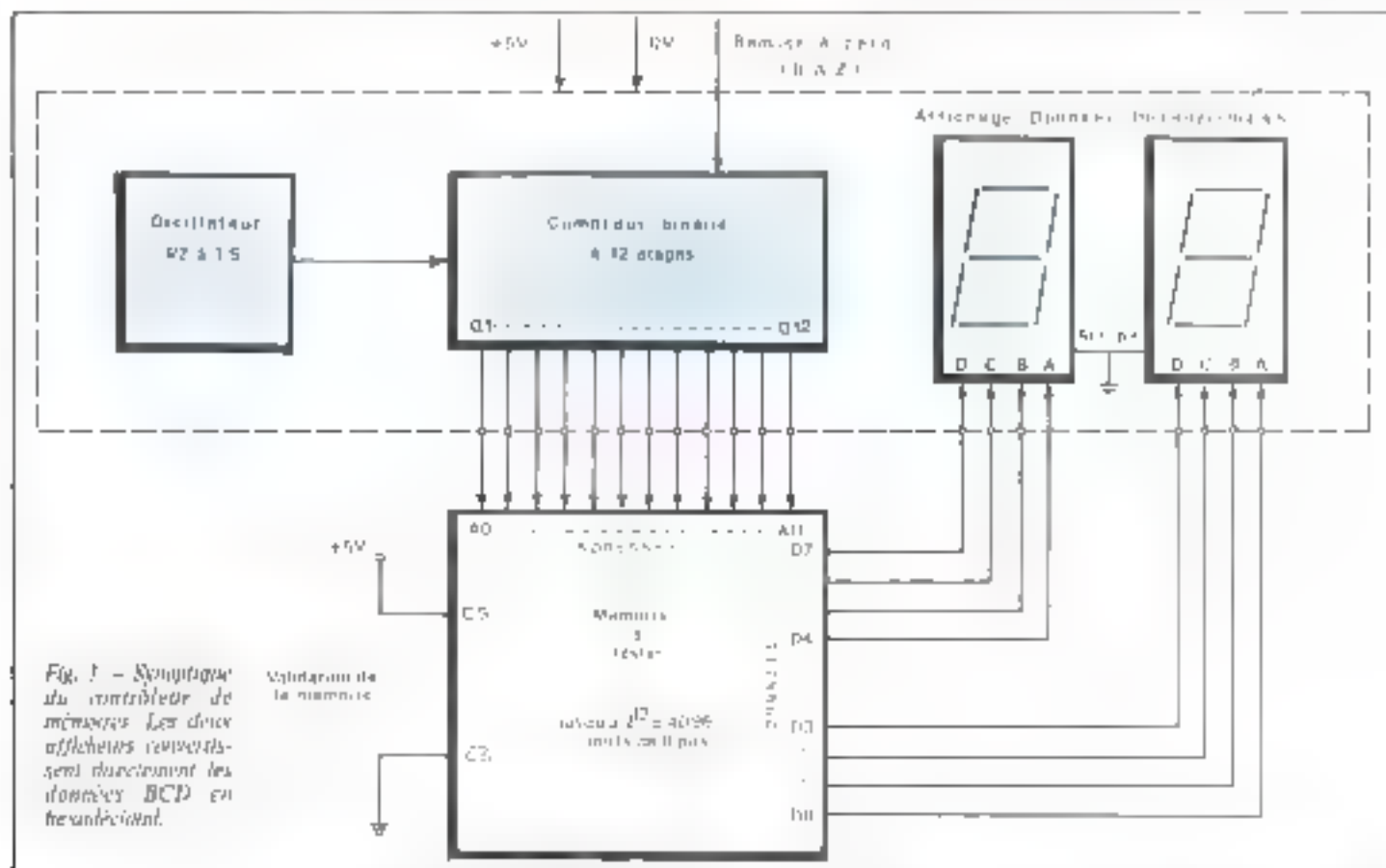


Fig. 1 - Schéma du contrôleur de mémoire. Les deux afficheurs convertiront directement les données BCD en hexadécimal.

Chaque réalisation à microprocesseur exige une ou des mémoires capables de stocker les données et les programmes que doit gérer le processeur. Dès que l'on aborde ces composants, il est souhaitable de disposer d'un système de test permettant de visualiser le contenu de chaque adresse mémoire et de le comparer au listing de programmation. En outre, ce montage permet de recopier un programme inscrit dans une mémoire inconnue.

Principe

Le principe de fonctionnement est représenté figure 1. Un oscillateur très haute fréquence (la fréquence d'horloge se situe entre 0,5 et 1 MHz) génère des signaux carrés qui incrémente (+1) un compteur binaire de 12 étages du type CD 4040 AF de RCA. Ce bus de 12 fils permet d'adresser jusqu'à $2^{12} = 4096$ mots.

Les sorties du compteur attaquent la mémoire à vérifier dont toutes les validations sont à l'état vrai (la mémoire est donc sélectionnée et en position lecture). A cet ins-

tant, CS* est à « 1 » (+ 5 V) et CS à « 0 ». Lorsque CS est barré, et en général chaque fois que nous sommes en présence d'un terme souligné, la fonction est réalisée par application d'un « 0 » sur la broche correspondante.

Tel que nous vous le présentons, le montage reçoit des données sur 8 bits. Les sorties de la mémoire sont connectées à deux afficheurs BCD et les informations émises contiennent un affichage en hexadécimal*.

Certaines mémoires, à mots de 12 bits présentent une écriture octal* qui peut donc être codée sur

Nous avons volontairement étudié un système très simple, avec peu de composants, d'un coût faible et à la portée de tous. Néanmoins, le lecteur désireux de rendre cette réalisation plus complète peut facilement en étendre les possibilités. Dans l'encadré « extensions », nous développons quelques exemples d'aménagements de cet ensemble.

3 bits au lieu de 4 pour l'hexadécimal. Dans ce cas, il est préférable afin de réaliser une lecture directe (en réel, d'utiliser 4 afficheurs au lieu de 3 et de connecter le bit de poids fort de chaque boîtier afficheur (D₃ par D₂ à D₁) à la masse (fig. 2). Cependant, ces mémoires sont peu répandues (moins de 1000).

La remise à zéro (R.A.Z.) initialise les sorties du compteur à zéro et force l'adresse 000. Aussi longtemps que le bouton poussoir R.P. est maintenu appuyé, l'horloge ne peut incrémenter le compteur et l'on visualise le 1^{er} mot mémoire

* CS : Cinq broches sélection de la mémoire.

* Octal : base 8 (codée sur 3 bits).

* Hexadécimal : base 16 (codée sur 4 bits).

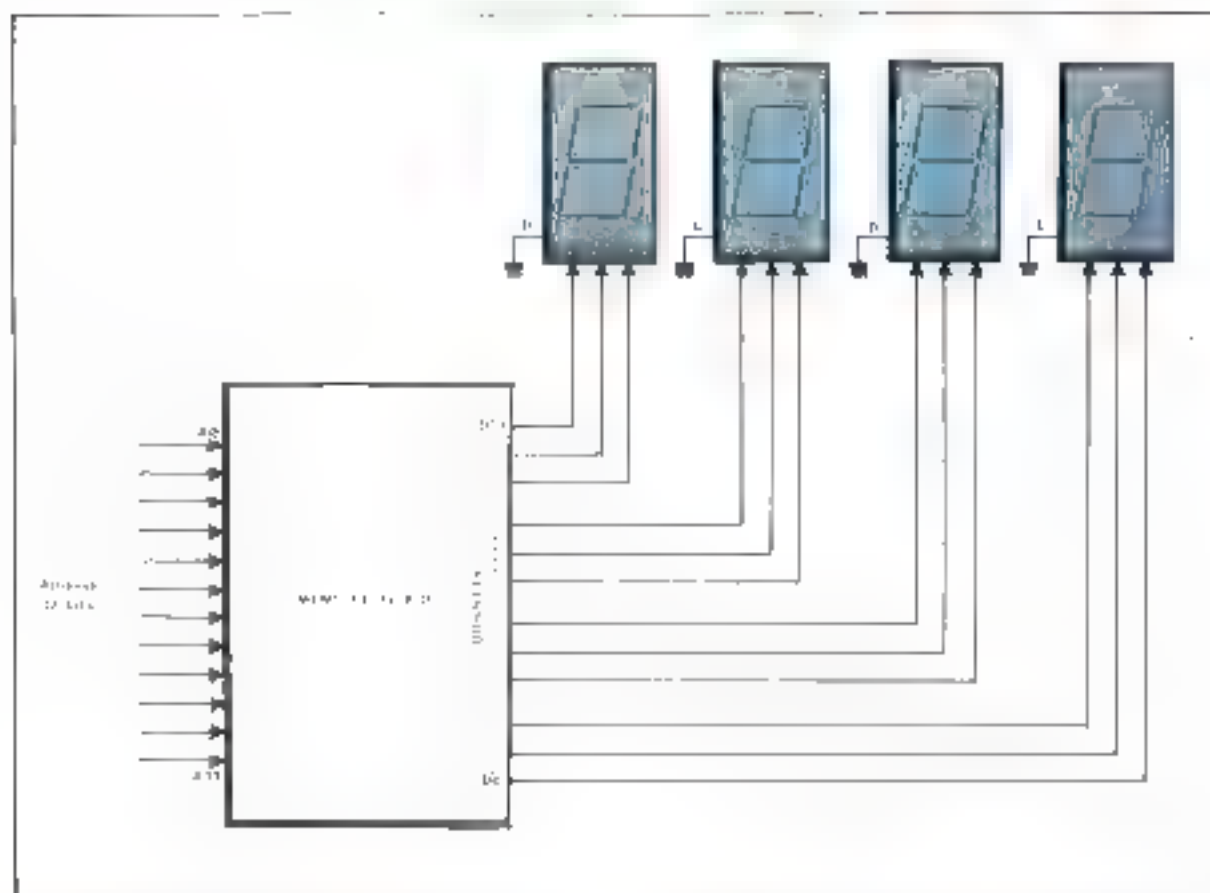
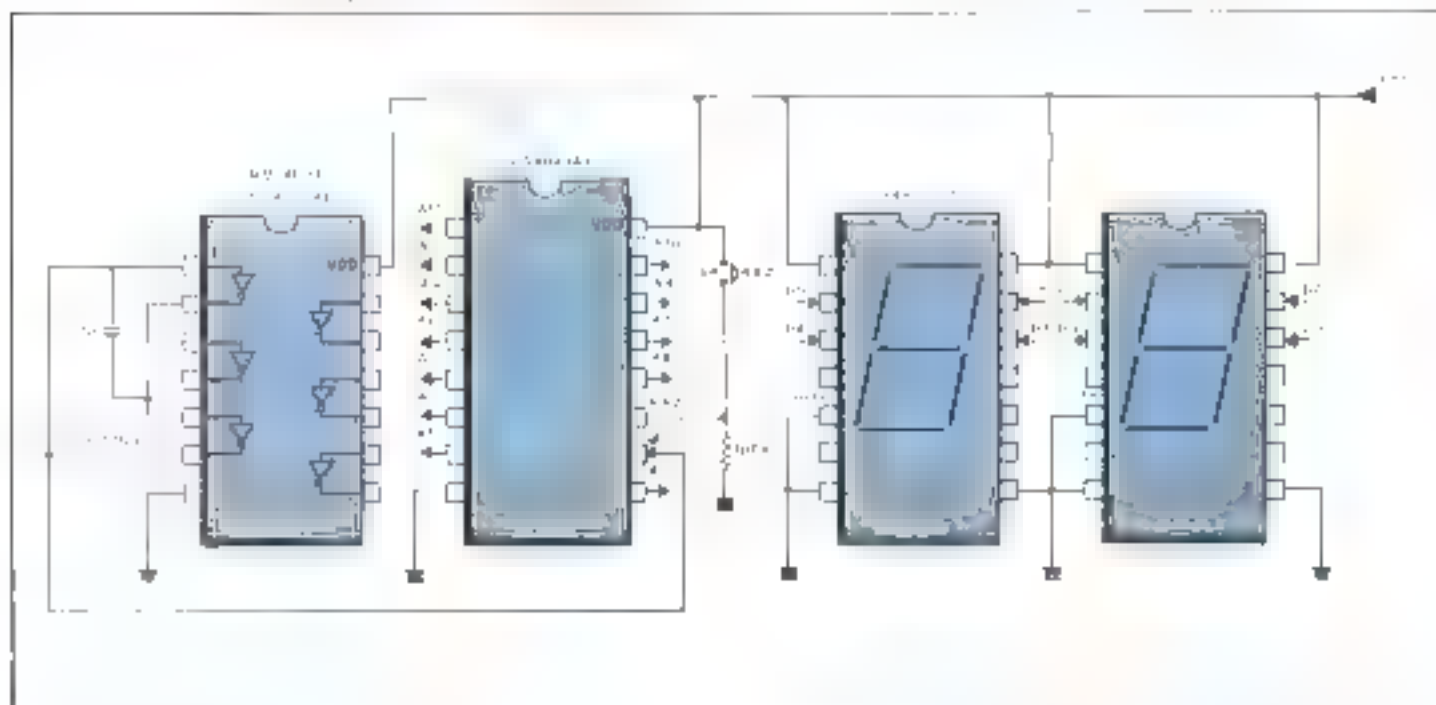


Fig. 2. - Affichage des données dans le cas d'une mémoire 4096 mots de 12 bits each en 7-seg. Remarque: que toutes les sorties « D » des afficheurs sont reliées à la masse puisque la base de numérotation est 0.

Fig. 3. - Schéma de principe. Les sorties A0:A11 servent comme tels au bus d'adresse de la mémoire et D0:D11 les bits de données.



Le relâchement du bouton lance le comptage. Les mots d'adresse 000, 002, etc. commencent à defiler à raison d'environ une adresse par seconde et nous pouvons vérifier à l'aide de la liste hexadécimale le programme inscrit en mémoire.

La figure 3 indique le détail des circuits retenus : le CD 4069 AE pour l'oscillateur et le CD 4040 AF pour le compteur. Tous deux réalisés en technologie CMOS. Les afficheurs Diodigit (745-0607) intègrent dans un même boîtier des mémoires tampons (latches) et un décodeur hexadécimal — affichage par points.

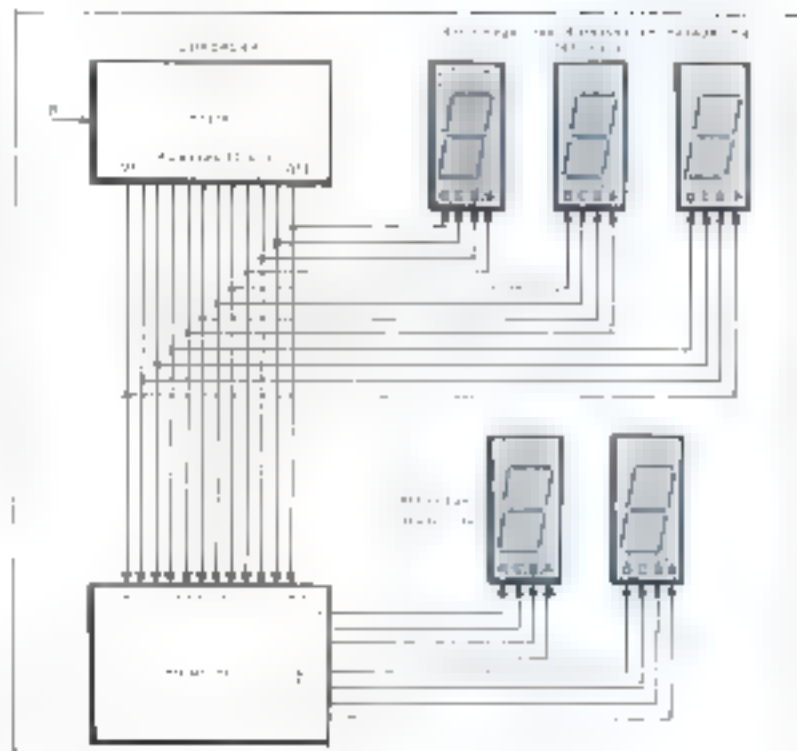


Fig. 3 - Affichage de l'adresse mémoire. Il suffit de placer deux afficheurs-latches décodeurs hexadécimaux sur le bus d'adresse.

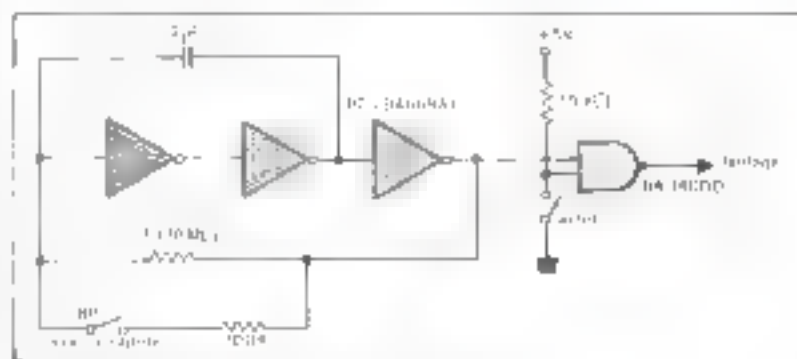
Réalisation

V_{DD} doit être normalement relié à la masse et V_{DD} au +5 V.

Étant donné la diversité et la grande variété de brochages des mémoires, il n'est pas possible d'inclure cet élément sur le circuit imprimé. Celui-ci sera donc muni de cosses qui devront supporter des fils connectés à des puces genre microchips ou femelles de pied à wrapper comme dans tous les amplificateurs logiques.

Ces fils rejoindront la mémoire à tester, chacun vers son homologue A sur A_0 , A_1 sur A_1 , D sur D... Ne pas oublier de connecter CS à V_{DD} et CS à V_{DD} .

Fig. 4 - Ligne rapide et arrêt sur une adresse donnée.



Extensions

1) Affichage de l'adresse mémoire :

— Trois afficheurs/latches/décodeurs du même type placés sur le bus d'adresse (12 bits) inscrivent en hexadécimal l'adresse de l'emplacement mémoire dont le contenu est affiché sur le bus de données (fig. 4). L'adresse la plus haute que nous pouvons visualiser avec ces trois afficheurs est :

$$00 \quad \frac{1111}{F} \quad \frac{1111}{F} \quad \frac{1111}{F}$$

Ce qui correspond bien aux 12 bits du compteur et aux 4096 positions mémoire accessibles.

2) Avance rapide et stop :

— Lorsque l'on desire positionner en peu de temps la mémoire sur un mot particulier, il est préférable d'être éluigné surtout dans les mémoires de forte capacité de l'adresse de départ (00), si est mesurant d'agir sur l'horloge afin d'en augmenter la fréquence et de la multiplier par 10 ou par 100. Cette fonction est réalisée simplement en plaçant en parallèle sur la résistance de 1 à 10 M Ω de l'oscillateur une résistance d'environ 100 k Ω en série avec un bouton poussoir en impulsion. L'arrêt sur une adresse donnée utilise une porte NAND, une résistance de 10 k Ω et un bouton poussoir (fig. 5).

Jeux sur micro-ordinateurs

Le « Startrek »

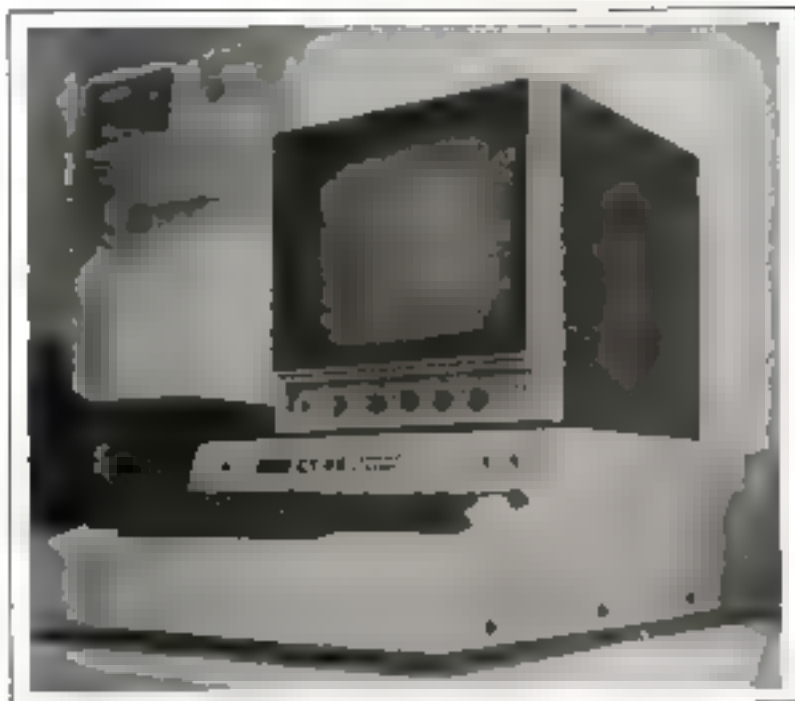
Dans presque tous les centres d'informatique il existe un certain nombre de jeux qui sont disponibles aux connaisseurs de la machine. Parmi ceux-ci se trouvent des jeux classiques, tels que le chemin de fer, la roulette, le morpion, le pendu, les dames et les échecs. Mais il existe également toute une classe de jeux qui ne sont rendus praticables que par la puissance de l'ordinateur. Ainsi sont apparus de nombreux jeux d'entreprise et de guerre qui sont employés à des fins pédagogiques dans les instituts appropriés. Les amateurs de mathématiques récréationnels se sont aussi emparés du temps machine afin d'explorer des permutations nombreuses dans des jeux comme les Pentaminos, l'Ane Rouge, et ■ L-Game, ou bien comme dans le Jeu de la Vie, créé par Horton Conway, d'explorer l'évolution de suites complexes dans le temps. Notons que ce jeu est à lui tout seul responsable de la création d'un journal Life Line et que des milliers d'adeptes de part le monde y consacrent leurs moments perdus ainsi que les moments perdus de leurs ordinateurs.

Le micro-ordinateur CB-4001 sur lequel tourne le jeu de Startrek.

L'ordinateur apporte une dimension nouvelle aux jeux

En effet, l'ordinateur est un puissant outil de simulation. Dans l'hypothèse où l'on sait par programme lui donner des règles de comportement, soit absolus, soit affectés de coefficients de probabilités, la machine peut simuler un environnement : le marché dans les jeux d'entreprises, les ennemis dans les jeux de guerre, les facteurs économiques dans un jeu qui s'appelle Kingdom et où l'on est chargé d'administrer un royaume pendant quelques années.

L'un saisit la fascination de ces jeux qui permettent au joueur de participer à un monde de rêve, où il se heurte sans danger à des problèmes analogues à ceux du monde réel. Prenons le cas de Kingdom. Les règles du jeu sont simples, et un enfant de dix ans peut facilement y jouer. Chaque année il doit décider de combien de blé planter, de combien d'argent distribuer au peuple, de combien d'argent dépenser dans la lutte contre la pollution, et de combien de terrains vendre aux industriels. La machine calcule ensuite pendant



quelques secondes, et lui indique que les terres semées ont rapporté X francs, que le nombre de touristes a diminué à cause de la pollution, que des citoyens sont morts de faim et qu'il faut dépenser de l'argent pour les enterrer. Par ailleurs ils ne pourront pas travailler dans les champs l'année d'après, et ainsi de suite. En dépit de sa simplicité apparente, ■ jmm permet à l'enfant de saisir les relations entre les divers facteurs économiques, et de se méfier des stratégies au coup par coup, trop simplistes. Cette révélation, qui ne vient en générale qu'après les années d'expérience qui font de l'enfant un adulte, à ses dépens, est maintenant à sa portée. De même, les militaires et les gestionnaires peuvent affûter leurs réflexes dans des jeux qui simulent un modèle de la réalité où les années ne durent que des minutes, et où les milliards perdus ne font pas de mal.

Chacun pourra trouver du sien dans la panoplie de jeux que l'ordinateur met à notre portée. Aussi bien dans leur programmation que dans leur déroulement nous pouvons affûter notre raisonnement et nos réflexes. Mais il ne faudrait pas perdre de vue l'attrait principal : les jeux sont amusants !

Il faut disposer d'un matériel approprié pour jouer

Bien entendu, si les principes de simulation et de calcul qui rendent la programmation des jeux possibles sont valables quelle que soit la machine sur laquelle on travaille, les différences entre le matériel disponible et les langages de programmation utilisés ont donné lieu à la naissance de multitudes d'implémentations de chaque jeu, adaptées aux configurations de lettres autques. Ceci rend nécessaire des modifications dans le code source d'un programme chaque fois qu'il s'agit de le transposer d'un ordinateur sur un autre.

Afin d'implémenter la plupart des jeux dont nous avons parlé, il faudra disposer d'une unité centrale muni(e) d'au moins 4 K-octets de mémoire, et parfois pour des gros jeux on aura besoin de jusqu'à 32 K. Il faudra disposer d'un terminal alphanumérique imprimant ou muni d'un écran de visualisation. Et pour stocker les programmes parfois longs, d'un interface de machine à cassette ou d'un perforateur/lecteur de bande en papier. Parfois, mais rarement, il faudra disposer

Dans le jeu de Startrek, la galaxie est divisée en 64 quadrants eux-mêmes subdivisés en 64 secteurs représentés par une matrice 8 x 8.

de floppy disks, afin que la machine ait à sa portée des fichiers volumineux (ce sera souvent le cas dans des jeux qui s'instruisent en jouant, ex. : le jeu des animaux). Un interface graphique est souvent utile mais rarement indispensable pour ces jeux, et il en est de même pour des entrées analogiques comme des joysticks. Enfin, une interface audio permet des effets spéciaux spectaculaires, telles que sirènes d'alarme et explosions, mais là encore, c'est du luxe.

Des exemples d'ordinateurs sur lesquels pourront être implémentés ces jeux sont le PET de Commodore ou l'APPLE-II, qui sont des machines « grand public » ne nécessitant aucune connaissance d'électronique pour leur usage, et qui sont très bien adaptés aux jeux ; ou bien le CB-6800 qui est une version du célèbre SWTPC-6800 adapté à l'usage en France par Computer Boutique, et qui est un ordinateur modulaire pour amateurs désireux de s'instruire en hardware aussi bien qu'en software. Cette machine nous servira de référence, puisque c'est elle que les auteurs se sont construits.

Le jeu de Startrek

Ce jeu extrêmement répandu dans les centres d'informatique des universités américaines fut inspiré par un feuilleton télévisé qui d'ailleurs a fait une brève apparition en France. La version écrite par Mike Mayfield en octobre 1972 pour HP2000C est rentrée dans la bibliothèque de programmes Hewlett Packard en février 1973 et sert de référence. Cette version, ainsi qu'une autre encore plus puissante, écrite par Bob Leedom du Westinghouse Defense and Electronic Systems Center, est écrite en Basic.

La version que nous vous présentons fut traduite en français par Hugues Eyraud, et tourne sur un CB-6800 avec 4 K de mémoire. Elle est disponible en listing ■ sur cassette pour CB-6800.

Comment jouer à Startrek

Startrek est un jeu de simulation de bataille spatiale très complexe.



Les auteurs : Andrew Seligman (à gauche) et Hugues Eyraud-Dorema (à droite).

Vous êtes chargé de la commande du navire interstellaire Entreprise et votre mission consiste à débarrasser la galaxie des destroyers Klingons qui menacent la fédération que vous défendez. Au début du jeu vous êtes informé de la position de votre base de ravitaillement, du nombre d'années dont vous disposez, de la date du début de votre mission, du nombre de Klingons qui vous opposent, et de votre position dans la galaxie.

La galaxie est divisée en 64 quadrants, représentés par une matrice 8 x 8. Chaque quadrant est lui-même subdivisé en 64 secteurs, également disposés en une matrice de 8 x 8. Afin de manœuvrer on donne des commandes à l'ordinateur qui les exécute dans la mesure du possible, et vous tient au courant du déroulement, bon ou mauvais, des opérations. Les dix commandes sont les suivantes :

1. Commande 0

Cette commande permet de se déplacer dans la galaxie, soit à l'intérieur de son quadrant, soit d'un quadrant à un autre. La machine demandera la direction et la distance à se déplacer. La

machine vous informe si vous rentrez dans quelque chose ou si vous sortez de la galaxie. La direction de déplacement est un entier de 0 à 7 qui vous oriente selon la convention suivante :

		0	
	7	1	
6		2	
	5	3	
		4	

La distance est donnée par un nombre réel de 0 à 9.0 qui représente le nombre de quadrants à parcourir. Lorsque l'on change de quadrant, l'on rentre au hasard quelque part dans le prochain quadrant sur son chemin.

2. Commande 1

Cette commande active ■ radar courte portée, et donne une carte du quadrant où l'on se trouve, avec la position de l'Entreprise, des étoiles, et des Klingons. Ainsi on peut manœuvrer dans son quadrant.

3. Commande 2

Cette commande active ■■ radars longue portée, et imprime une carte des quadrants adjacents, montrant le nombre mais non pas

la position, des étoiles, des Klingons, des supernovés et des bases de ravitaillement qu'ils contiennent.

4. Commande 3

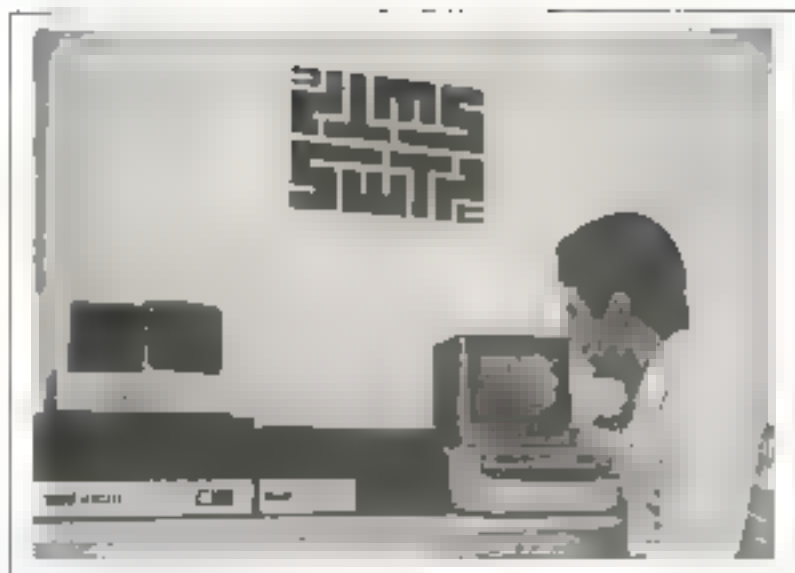
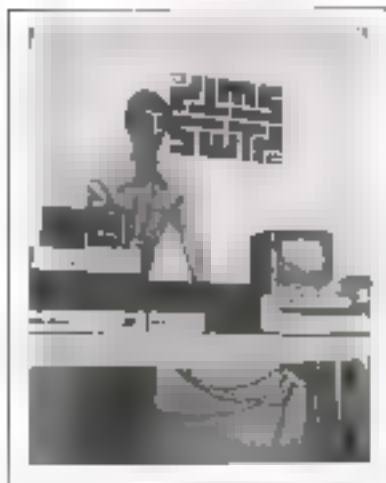
Cette commande active les phasers, arme offensive gérée par l'ordinateur de bord, qui détermine l'angle et la puissance de tir. Il faudra pour abattre un Klingon lui tirer dessus avec une quantité d'énergie qui comporte un facteur aléatoire. Les boucliers doivent être descendus avant de tirer les phasers.

5. Commande 4

Cette commande tire une torpille photon. Il faut viser manuellement pour tirer, comme pour manœuvrer dans son quadrant. Une torpille détruit tout ce qu'elle rencontre, mais si l'on tire de trop loin, alors la torpille n'aura peut-être pas assez d'énergie pour atteindre son but (l'aléa joue). Notons que toutes ces batailles se déroulent à l'intérieur d'un quadrant, que l'on ne peut tirer à travers les étoiles, que les Klingons manœuvrent et vous tirent dessus, usant l'énergie de vos boucliers, et endommageant votre vaisseau quand ils vous touchent sans défense.

6. Commande 5

Cette commande permet de faire le point des dommages encourus jusqu'ici. Ces dommages empêchent les instruments de fonctionner pendant le délai des réparations qui est indiqué.



7. Commandes 6 et 7

L'énergie des boucliers représente la quantité d'énergie par laquelle on pourra être attaqué en cumul, et cette quantité apparaît avec d'autres statistiques vitales lors des rapports livrés par la commande 1 des radars courte distance. La commande 7 baisse les boucliers afin de tirer les phasers.

8. Commande 8

Cette commande téléporte l'Entreprise instantanément vers la base de ravitaillement et fonctionne sur l'énergie de la base. On peut s'en servir un nombre inconnu de fois, mais seulement après douze ans dans l'espace. Après usage il pourra s'endommager, sans apparaître sur le rapport fourni par la commande 5, et par ailleurs, il fonctionne parfois mal, et place l'Entreprise dans un quadrant aléatoire.

9. Commande 9

Cette commande permet d'abandonner le mission en activant le dispositif d'autodestruction dont est muni votre vaisseau. Pour l'employer, il faudra entrer un mot de passe qui n'est connu que du capitaine du vaisseau (vous) qui l'a fixé au début du jeu.

Un certain nombre d'événements inattendus tels que des supernovés, des tempêtes interstellaires, et le mauvais fonctionnement

du téléporteur peuvent arriver pendant le jeu. Par ailleurs certains Klingons peuvent se masquer des radars courte portée, et il faudra sans doute user des phasers pour les attendre si l'on quitte la galaxie plus de trois ans par intégrité pendant le jeu. L'Entreprise est détruit.

En dépit de leur apparence de complexité, ces règles s'apprennent rapidement, et un enfant de douze ans peut apprendre à jouer au Star Trek. Il n'existe cependant pas de stratégie permettant de gagner à coup sûr, et ce jeu est suffisamment subtil pour intéresser des adultes pendant longtemps (pendant plus longtemps que les enfants peut-être) ■

Les auteurs

Andrew Seligman et Hugues Cyrard-Duverny animent le département technique de l'Informatique Boutique*. Ils ont construit de nombreuses machines et animé des conférences sur l'Informatique Individuelle en France et à l'étranger.

* L'Informatique Boutique, 69, avenue de la République, 75011 Paris. Tél. 01 47 02 10 00.

A titre d'exemple nous donnons à RUN le début très court du jeu de Startrek imprimé sur un écran en couleur sur écran.

Run type de Startrek

1-STAR1.BEN

VOYAGE SPATIAL

Commandes

COULEUR

Jeu court. La vitesse d'ajout peut être plus d'une lettre

BASE EN Q6-3

MOT DE PASSE A15

DATE 3125.0
KLINGONS : 34
ANNÉES 26
QUADRANT 8-1
SECTEUR 4-8

COMMANDE 1

```

      . . . . . S DATE 3125.0
      . . . . . CNDTN VERT
      . . . . . QUADRANT 8-1
      . . . . . SECTEUR 4-8
      . . . . . ENERGIE 3000
      . . . . . KLINGONS : 34
      . . . . . BOUCL. 2528 HQ
      . . . . . TORPILLES 15
      . . . . .
      . . . . . E . . . . .
    
```

Etat

Enquête

COMMANDE 2

RADAR EN Q6-1

```

000000000000
000000000000
000000000000
000000000000
    
```

4 Klingons
> Etat

COMMANDE 4
SHIELDS UP

Les instructions sont relevées

COMMANDE 0
VERSOU 5
DISTANCE 1

COMMANDE 1

```

      . . . . . S DATE 3125.7
      . . . . . CNDTN VERT
      . . . . . QUADRANT 8-2
      . . . . . SECTEUR 1-2
      . . . . . ENERGIE 3000
      . . . . . KLINGONS : 34
      . . . . . BOUCL. 2000 HQ
      . . . . . TORPILLES 15
      . . . . .
      . . . . . E . . . . .
    
```

Par assez fin

COMMANDE 0
VERSOU 5
DISTANCE 1

COMMANDE 2

RADAR EN Q7-2

```

000000000000
000000000000
000000000000
    
```

LES KLINGONS ATTAQUENT ÇA TIENT
COMMANDE 1

```

      . . . . . S DATE 3126.4
      . . . . . CNDTN ROUGE
      . . . . . QUADRANT 7-2
      . . . . . SECTEUR 5-5
      . . . . . ENERGIE 3000
      . . . . . KLINGONS : 34
      . . . . . BOUCL. 2528 HQ
      . . . . . TORPILLES 15
      . . . . .
      . . . . . K . . . . .
      . . . . . K . . . . .
    
```



LES KLINGONS ATTAQUENT ÇA TIENT

COMMANDE 4

Trois une torpille
sur le Klingon
de gauche

VERSOU 6

4-5

3-5

TORP. COGNE KLINGON

IL EN RESTE 33

LES KLINGONS ATTAQUENT ÇA TIENT

COMMANDE 4

VERSOU 5

4-6

3-7

Progression de la torpille
dans les sections du qua-
dant

TORP. COGNE KLINGON

IL EN RESTE 32

LES KLINGONS ATTAQUENT ÇA TIENT

COMMANDE 4

VERSOU 3

6-6

7-7

TORP. COGNE KLINGON

IL EN RESTE 31

LES KLINGONS ATTAQUENT ÇA TIENT

COMMANDE 7

SHIELDS DOWN

Baisser les boucliers

721 NITES NOUS TOUCHENT

COMMANDE 3

Tout les phases

ENERGIE (1590) 2928

ENERGIE 2000

TOUS CES KLINGONS DETRUITS!

IL EN RESTE 30

COMMANDE 5

DEVETAT

Tout va bien

COMMANDE 2

RADAR EN Q7-2

```

000000000000
000000000000
000000000000
    
```

COMMANDE 0

VERSOU 6

DISTANCE 4

HORS LIMITE

Sur nombre nous de la
particip.

COMMANDE 0

VERSOU 4

DISTANCE 4

etc.

Stages - séminaires

Stages de formation à l'École Centrale de l'Électronique

Cette école, dans le cadre de la formation permanente, met aujourd'hui à la disposition des différents personnels de l'industrie, son expérience et ses professeurs, spécialistes de l'électronique et de l'informatique.

Pour mieux répondre à vos besoins de formation l'E.C.E. organise :

- des stages d'électronique,
- des stages d'informatique,
- des stages spéciaux d'entreprise,
- des cours à distance

Ces différents stages peuvent être de courte durée ou de longue durée (> 60 h)

Ils auront lieu dans les nouveaux locaux de l'école, spécialement aménagés pour la formation permanente, 17, boulevard Bonne-Nouvelle, 75002 Paris.

La liste des sujets traités est la suivante :

1) Stages d'électronique :

- Technologie des circuits intégrés,
- Méthodes de contrôle et fiabilité des composants et systèmes,
- Circuits intégrés linéaires et digitaux,
- Systèmes logiques,
- Technique de conversion,
- Microprocesseurs,
- Technique des microprocesseurs,
- Applications des microprocesseurs

2) Stages d'informatique :

- Initiation à l'informatique,
- Perfectionnement au langage COBOL. Travaux pratiques sur ordinateur,
- Perfectionnement au langage FORTRAN. Travaux pratiques sur ordinateur,
- Analyse et programmation,
- Stages de mathématiques ou économie - Gestion ou informatique préparant au B.T.S. Gestion et exploitation des centres informatiques.

E.C.E., 12, rue de la Lune, 75002 Paris. Tél. : 236.78.87.

Séminaire Intersil

Intersil organise régulièrement des

cours de formation sur le microprocesseur IM 6100, avec manipulation sur système intercept. Par ailleurs Intersil peut organiser des cours spéciaux de 2 ou 3 jours sur demande (consulter Intersil).

Ces séminaires ont une durée de 3 jours. Le premier jour est optionnel et est destiné à l'initiation aux microprocesseurs afin que les ingénieurs ou techniciens non spécialisés puissent avec profit les 2 jours suivants.

Ces séminaires auront lieu les 28, 29 et 30 novembre au : Trianon Palace Hôtel, 1, boulevard de la Reine, 78000 Versailles.

Leur prix est de : 2 jours (cours 6100) : 1 000 F H.T. ; 3 jours (introduction + cours 6100) : 1 500 F H.T.

J.P. Lamottier :

* Le langage FORTRAN IV *

L'ouvrage de Jean-Pierre Lamottier « Le langage FORTRAN IV » veut être plus qu'un simple manuel d'utilisation. Conçu, bien entendu, dans le but d'exposer les principes caractéristiques de ce langage et de montrer surtout comment l'utiliser, il dégage également sa philosophie et permet de mieux le situer vis-à-vis d'autres langages (Algol, notamment).

Après un chapitre de généralités relatives aux caractéristiques communes des principaux langages de programmation, la présentation progressive du FORTRAN est émaillée de nombreux exemples. Chaque chapitre contient des exercices avec leur solution, ce qui permet au lecteur de vérifier l'assimilation du langage. En outre, le chapitre 13 est consacré à des exercices de récapitulation complètement traités.

Collection « Dunod Université ». Dunod - 3^e édition 1978. 15,5 x 24, 276 pages - Index. Broché : 52 FF.

* Exercices de programmation en FORTRAN IV *

La deuxième ouvrage de Jean-Pierre Lamottier, complètement indispensable du précédent, est un recueil d'exercices complètement traités et classés par rubriques et par difficultés croissantes. Chaque solution com-

porte des explications, un organigramme avec commentaires, la liste FORTRAN correspondante avec commentaires, un exemple d'exécution.

Le premier chapitre est consacré aux organigrammes dont la conception rend le débogage et dont l'abandon entraîne ensuite une augmentation importante du coût « de maintenance » des programmes. Les sept autres chapitres contiennent les exercices.

Collection « Dunod Université ». Dunod - 2^e édition 1977. 15,5 x 24, 148 pages. Broché : 50 FF.

Stage microprocesseurs

RTC organiseront à nouveau du 10 au 13 octobre un stage intensif de formation sur les microprocesseurs. L'objectif de ces quatre journées est de fournir aux utilisateurs les éléments nécessaires à la conception et à la mise en œuvre d'un système réel construit autour d'un microprocesseur.

Les aspects matériel, logiciel et aide à la conception seront couverts en détail. Les participants traiteront plusieurs problèmes avec conception du programme, codage et assemblage. L'exécution du programme sera vérifiée par simulation et par la mise en œuvre de systèmes de développement autour du microprocesseur 2650.

Un dossier d'information peut être obtenu sur demande adressée à la division microélectronique RTC, 130, avenue Ledru-Rollin à Paris (11^e).

Mémoire EAROM NITRON 128 x 8 bits

La NC 7053 est une mémoire non volatile, altérable électriquement en technologie N.MOS organisée en 128 mots de 8 bits.

Chaque mot est individuellement adressable et adressable au moyen des lignes d'adresse parallèle A0 à A6 et de quatre lignes de commande CS, R, W et F.

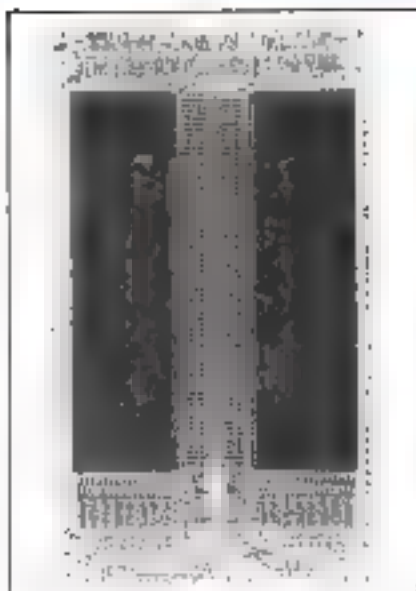
Un oscillateur interne de 10 kHz peut être contrôlé soit par des composants extérieurs, soit synchronisé avec l'horloge du système. Toutes les

entrées et sorties sont compatibles TTL. L'adressage est entièrement décodé, et l'altérobilité peut se faire en circuit. La rétention typique est de 10 ans.

Technology Resources
27-29, rue des Polysynniers
92200 Neuilly-sur-Seine
Tél. : 747.47.17 - 747.70.51.

La plus petite RAM dynamique intégrée de 16 K

La mémoire MCM 4116 est une RAM dynamique ultrarapide de 16 384 bits utilisable comme mémoire centrale, mémoire tampon ou



mémoire de périphérie, dans les applications qui demandent des performances élevées pour un faible coût. La mémoire est organisée en 16 384 mots d'un bit. Elle est fabriquée selon une technologie Motorola à canal N et double couche de silicium polycristallin qui assure une haute fiabilité tout en réalisant un compromis idéal entre vitesse, puissance et densité.

Le MCM 4116 comporte des cellules à un seul transistor et utilise des techniques de mémorisation dynamique, chacune des 128 adresses de rangée nécessitant un cycle de rafraîchissement toutes les 2 ms.

H.L. Feraud - F. Santamaría,
Motorola Semiconducteurs S.A., 15-17, avenue de Ségur, 75007 Paris.
Tél. : 551.50.61.

Le 8049 d'Intel fonctionne à 11 MHz

Le 8049, micro-ordinateur monochip haut de gamme de Intel est commercialisé aujourd'hui dans une version fonctionnant à 11 MHz alors qu'il était jusqu'alors spécifié à 6 MHz.

Cette augmentation de 80% de la vitesse permet au 8049 de faire une addition de 2 mots de 16 bits en seulement 96,7 microsecondes, cette performance ne s'accompagnant que d'un accroissement de 30 mA de la consommation, celle-ci passant de 140 à 170 mA.

Le 8049, le micro-ordinateur monochip le plus rapide du marché, peut utiliser des filtres céramiques à 10,7 MHz produits en grande quantité pour les récepteurs FM, et donc très bon marché.

Les caractéristiques essentielles du 8049 sont décrites dans ce même numéro de Micro-Systèmes.

Distributeurs Intel :
Celdis, tél. : 581.00.20
Métrologie, tél. : 791.44.44
Tekelec, tél. : 827.75.35.

L'IDM 2901 A/1 : un nouveau microprocesseur en tranche

National propose à présent l'IDM 2901 A/1, une version rapide de l'IDM

2901A, microprocesseur bipolaire en tranche.

Ce microprocesseur est capable d'effectuer une opération d'addition et de décalage sur 16 bits en 95 nanosecondes + 10,5 nanosecondes de propagation de retard avec une horloge à 16 MHz. La consommation du circuit est de 800 mW à 25 °C.

L'IDM 2901 A/1 se présente dans un boîtier céramique à 40 broches au prix de 168 F, par quantité de 100. C'est une version plus rapide de l'IDM 2901A qui apporte une augmentation de vitesse de 50% sur les versions LOW Power Schottky et standard.

Ainsi l'ingénieur qui utilise l'IDM 2901 A/1 n'a plus à choisir entre vitesse et faible consommation car ce circuit permet les vitesses de l'ECL sans consommer plus que le TTL LS.

National Semiconductor, 28, rue de la Redoute, 92260 Fontenay-aux-Roses. Tél. : 660.81.40 +.

Nouvelles PROM-TTL de 4096 bits chez Motorola

Les MCM 7640-43 sont des PROM bipolaires à fusibles disponibles en versions collecteur ouvert et sortie 3 états.

La série MCM 7640-43 comporte

quatre dispositifs programmables dans les mêmes conditions qui offrent deux modes d'organisation et deux types de sorties logiques pour faciliter l'extension d'un système.

MCM 7640 - Organisation : 512 x 8 bits ; sorties en collecteur ouvert.

MCM 7641 - Organisation : 512 x 8 bits ; sorties à trois états.

MCM 7642 - Organisation : 1024 x 4 bits ; sorties en collecteur ouvert.

MCM 7643 - Organisation : 1024 x 4 bits ; sorties à trois états.

Chaque PROM est livrée prête à la programmation. Tous les bits sont initialement des « 1 » (sortie haute) et la programmation par fusion sélective permet d'y inscrire des « 0 ». L'utilisateur peut y inscrire son programme et l'opération ne dure qu'une seconde pour 1024 bits.

Ces mémoires sont compatibles broche à broche avec les PROM et les ROM les plus courantes.

Mémoire PROM en technologie Schottky

Texas Instruments annonce deux nouvelles mémoires programmables de 4 096 bits. Désignées par les références SN 54S/ 74S476 et SN 54S/ 74S477, les nouvelles mémoires sont organisées en 1 024 mots de 4 bits.

Les dispositifs SN 745 sont caractérisés par un temps d'accès de 35 nanosecondes en typique et de 60 nanosecondes au maximum, ainsi que par un temps de validation de 30 nanosecondes au maximum.

Leur organisation en 1 024 mots de 4 bits, ainsi que leur encombrement réduit (boîtier 18 broches) rendent les nouvelles mémoires particulièrement intéressantes pour les applications où l'on a besoin d'une capacité de mémorisation relativement grande : mini et micro-ordinateurs, terminaux intelligents, périphériques de grandes vitesses, systèmes à microprocesseurs.

Présentées en boîtier standard à 18 broches, les nouvelles mémoires annoncées par Texas Instruments peuvent remplacer n'importe quelle mémoire PROM de 4096 bits, utilisées dans le même boîtier.

Moniteur et Mini Floppy

La Société Pentasonic a récemment mis au point un nouveau moniteur appelé Pentabug 1 s'adaptant directement sur le kit 6800 DB. Ce moniteur, travaillant en ASCII, permet de gérer par l'intermédiaire d'une ACIA un télétype, une carte vidéo, ou tout autre périphérique. Sa capacité de 2 K octets lui permet, outre 24 fonctions de debugging classiques (supérieur au Minibug III) de travailler en langage clair et d'appeler jusqu'à 255 sous-programmes utilisateurs. Il est à noter également que la gestion des NMI, IRQ et SWI est assurée par ce moniteur. Il se présente sous la forme de 2 mémoires mortes, se montant directement sur les emplacements prévus à cet effet. Les modifications Hard sur le kit se résument à l'adjonction d'un ACIA et d'un 74155 sur l'emplacement à wrapper.

Ces deux mémoires sont commercialisées au prix de 195 F T.T.C. Notons la commercialisation imminente par cette même société de lecteurs de mini Floppy double densité d'une capacité de 1/2 Mégaoctets par disquette, au prix de 2 100 F T.T.C., prix de la disquette : 45 F T.T.C.

Pentasonic, 5, rue Maurice-Boutet, 75016 Paris. Tél. : 524.23.16.



Le SKC 85, un microordinateur compact

Les spécialistes du développement de produits commandés par microprocesseurs ont le choix entre plusieurs solutions. Ils peuvent rechercher le matériel électronique nécessaire parmi les familles déjà existantes telles les SAB 8080 et les SAB 8085 et les assembler éléments par éléments ou sélectionner des modules pour les regrouper les uns avec les autres. Ou bien encore recourir au SAB 8048 pour les fonctions de commande relativement simples ; il s'agit d'un micro-ordinateur complet regroupé sur un seul chip et toujours prêt à fonctionner.

Le SKC 85 monté sur une carte de format européen (100 x 160 mm) comprend un SAB 8085 servant d'unité centrale et en fonction de l'équipement une mémoire de programme de 4 K (PROM/EPROM), une mémoire RAM de 768 octets, quatre entrées d'interruption et 46 lignes d'entrée/sortie. Spécialement conçu pour servir de micro-ordinateur de commande indépendant, ce module compact dispose en outre de deux bases de temps (14 bits) ; sa tension d'alimentation est de +5 V.

Siemens, 39, boulevard Ornano, 93 Saint-Denis. Tél. : 243.30.20.

SAA 6000 : microordinateur 4 bits monochip de I.T.T.

Réalisé en CMOS, le micro-ordinateur SAA 6000, grâce à sa très faible consommation et l'épaisseur réduite

du boîtier (2 mm) est spécialement conçu pour les applications miniatures et (souvent) alimentées par piles telles que : télécommande, caméras, jouets, timers, équipements biologiques et médicaux.

Le SAA 6000 comporte sur un seul cristal, une ROM de 2,25 K-bytes (36 pages x 63 instructions de 4 bits), des registres à décalage statiques de 9 bits x 4 lignes x 2 étages, un diviseur de fréquence réversible de 8 étages, l'horloge pilotée par un quartz de 32 KHz, l'ALU avec accumulateur, un PLA et un driver LCD. Le répertoire comporte 54 instructions. La consommation, sous 3 V, est comprise entre 20 et 30 μ A.

Plusieurs exemples d'utilisation sont proposés par le laboratoire d'application :

- téléphone à clavier « intelligent » avec affichage LCD, répertoire de numéros, répétition ;
- télécommande infrarouge pour TV avec horloge à quartz, jeux vidéo, vidéotexte et timer (par exemple pour l'enregistrement en différé sur magnétoscope) ;
- C.P.I. pour automobile

I.T.T., 1, avenue Louis-Pasteur, 92223 Bagneux. Tél. : 253.31.39.

Microordinateurs Siemens ■ seconde source d'Intel

SAB 8021

Le SAB 8021 est un micro-ordinateur 8 bits en un boîtier. Il représente une sous-version du 8048.

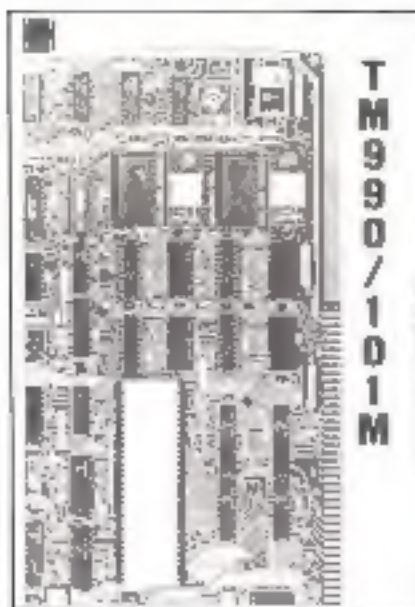
- UC à 8 bits, ROM, RAM, E/S dans un seul boîtier 28 broches.
- Tension d'alimentation de 5 V (+4,5 à 6,5 V).
- Temps de cycle 10 μ s, 2 cycles au maximum pour une instruction.
- Jeu d'instructions : sous-ensemble de celui du 8048.
- Extension E/S possible avec le SAB 8243.
- ROM : 1 K x 8 bits. RAM : 64 x 8 bits. E/S : 21 lignes.
- Registre d'horloge/compteur d'événements.
- Horloge contrôlée avec une simple

résistance ou inductance.

- Possibilité de direction de passage par zéro.

SAB 8049/ SAB 8039

Il s'agit ici encore d'un micro-ordinateur 8 bits sur 1 chip. Il est conçu dans la lignée du 8048 et avec des possibilités plus grandes (capacité mémoire étendue, plus de ligne E/S). Le SAB 8039 est équivalent au SAB 8049, mais sans mémoire ROM intégrée.



TM 990/101 M

Module micro-ordinateur 16 bits

Texas Instruments vient d'annoncer la disponibilité d'un nouveau module micro-ordinateur de sa série TM 990; désigné par la référence TM 990/101 M. Ce nouvel élément permet de disposer de deux systèmes d'entrées-sorties série ainsi que d'une capacité mémoire accrue.

Ce module élargit ainsi la famille des cartes micro-ordinateurs TM 990 de Texas Instruments; cette famille constitue un bon compromis prix-performances entre les microprocesseurs de la famille 9900 et le mini-ordinateur TI 990-4.

Texas Instruments, La Bourdillère, RN 186, 92350 Le Plessis-Robinson. Tél. : 630.23.43.

ACER-SERVICE MICRO-SYSTEMES

Quel que soit le niveau de vos connaissances, que vous vouliez vous INITIER, vous PERFECTIONNER ou UTILISER PRACTIQUEMENT les MICRO-SYSTEMES

CONSULTEZ-NOUS OU VENEZ NOUS VOIR

KIT MKII 6800 MOTOROLA

Documentation sur demande



Ce kit vous offre tout ce qu'il faut pour développer un système personnel, sans investir dans des matériels coûteux. En sa conception et son prix, il peut véritablement convenir à l'initiant.

Le kit est livré complet à l'exception de l'alimentation. En plus des possibilités d'extension offertes sur le module micro-ordinateur lui-même, il est possible d'ajouter ultérieurement des modules RAM, ROM et des I/O supplémentaires pour réaliser des systèmes plus complexes.

Les programmes en langage machine peuvent être introduits soit par le clavier du système, soit par l'intermédiaire d'une micro-cassette branchée sur l'interface correspondante du système. L'affichage hexadécimal à double décimales permet de contrôler les données et les adresses. Le kit : MKI, 1474 F, TTC 1928 F.

NOTICE EN FRANÇAIS

CREDIT POSSIBLE

MICROSYSTEME MAZEL II (8088) Documentation sur demande

Ce système par un seul circuit intégré comporte :

- 1 clavier hexadecimal à 4 touches de fonction
- 1 périphérique hexadecimal (cassette ou disque)
- 1 RAM
- 2 PIA - 1 ACIA
- Accès direct à la mémoire DMA
- Interface cassette télexpende
- Tous les composants nécessaires à son fonctionnement

Notice complète en français

- Possibilité d'adresser 5 K de mémoire
- Carte vidéo 1778,00 F
- Carte RAM 64Kb 1 à 4 K 3304,00 F
- Carte arithmétique 330,00 F

Prix en kit : 2 125 F/ttc



CIRCUITS POUR MICROSYSTEMES

MOTOROLA	Mazels - Interfaces bisels
MC 6800 - Driver Base	4 lés double
MC 6801 - Driver Base	16/16, 8/8, 0/8
MC 6802 - Microprocesseur	16/16
MC 6803 - PIA	6800 EPROM (256x8)
MC 6804 - DMA	6800 CPU
MC 6805 - ACIA	6805 CPU
MC 6807 - Convertisseur	8254 Horloge CPU 8254
MC 6808 - 314 - 4 bits	8255 LSART
MC 6809 - Comp. hexa	8255 à 8257
MC 6809 F	8255 CPU
MC 14013 BCP - Double flip-flop	
MC 14014 BCP - Générateur analogique	
MC 14024 BCP - Compar. à 2 niveaux	
MC 14033 BCP - Multiplicateur numérique analogique	
MC 14036	
MC 14036 BCP - Double multi-vibrateur	
MC 14039 BCP - Sélecteur de données	
MC 74125 - Decod. 1 à 8	
MC 74125 - RAL 128x8	
MC 74125 - EPROM	

LIBRAIRIE TECHNIQUE

TECHNIQUE D'INTERFACE AUX MICROPROCESSEURS	MICROPROCESSEUR ET SON UTILISATION
En français - Ref. 05	29,00
588 Microprocesseurs	CATALOGUE TEXAS INSTRUMENTS
Notice Z&S - Paris 15 6016	SEMINAIRE MICROPROCESSEUR 77
Ref. 04	100,00
ORDINATEUR ET INFORMATIQUE	CATALOGUES INTER (sur commande)
SM IN SECONDE - A. MORVAN	DATA CATALOG INT
29,00	70,00
INDICER ET PRACTIQUE DES MICRO-PROCESSEURS (matériels logiciels, mais en français) R. ARQUEIE et M. LILEN	MS 80 USER'S MANUAL
79,00	30,00
OU MICROPROCESSEUR AU MICRO-ORDINATEUR - M. LILEN	MS 40 USER'S MANUAL
80,00	30,00
GUIDE MANUEL DES MICROPROCESSEURS - M. LILEN	MS 40 USER'S MANUAL
40,00	30,00
INITIATION A L'INFORMATIQUE - P. QUINCIETON	MEMORY DEMON HANDBOOK
40,00	30,00
SE JEUX AVEC VOTRE CALCULATRICE ELECTRONIQUE - L. SCHLOSSBERG et J. BROCHARD	MS 6048
20,00	30,00
	CATALOGUE SECSOSSEM
	MICROPROCESSEUR S.F.F. MS 80
	30,00
	CATALOGUE MOTOROLA
	M 6800 MICROPROCESSOR
	PROGRAMMING MANUAL
	30,00
	M 6800 MICROPROCESSOR
	APPLICATIONS MANUAL
	100,00
	DE L'ORDINATEUR AU MICROPROCESSEUR
	10,00
	M 6800 PROGRAMMING REFERENCE MANUAL
	30,00

Pour toute correspondance, écrire à : SERVICE MICRO-SYSTEMES

ACER

42, rue de Chabrol
75010 PARIS - Tél. 770-28-31

VENTE PAR CORRESPONDANCE

C.C. Postal 664-91 PARIS

Les nouveaux « Monochips » d'Intersil

Intersil a pris la décision d'étendre sa présence dans le domaine des microprocesseurs aux applications « bus de gamme » par l'introduction de deux familles de monochip C-MOS.

Ces circuits seront des réalisations en technologie C-MOS des familles MCS 48 et UPI 41 (marques déposées Intel).

La première série comprendra les circuits C 8748, C 8048 et C 8049. Ces

circuits doivent être échantillonnés pendant le dernier trimestre 1978 (C 8748) et pendant 1979 (C 8049 d'abord puis C 8048).

La seconde destinée aux applications de contrôle ou à la réalisation de périphériques intelligents comprendra les circuits C 8741 et C 8041 qui seront échantillonnés au cours de 1979 (C 8741) puis C 8041).

Le circuit d'extension E/S de ces deux familles sera aussi réalisé en technologie C-MOS (C 8243) et sera échantillonné en même temps que le C 8748. Il s'ajoutera à une gamme importante de périphériques en C-MOS : UART (IM 6402/03), Compresseurs programmables (ICM 7226/27).

Interface d'affichage (ICM 7218), Convertisseur A/N (ICE 7109).

Dans le cas des C 8748/8048/8049 les extensions mémoire C-MOS seront réalisés par les circuits déjà disponibles ou à paraître prochainement chez Intersil : RAM 512 x 8 (IM 6507) ou 1024 x 4 (IM 6514), ROM 2048 x 8 (IM 6316) et REPR0M 512 x 8 (IM 6604) et 1024 x 4 (IM 6603).

Enfin le développement de ces familles sera supporté par les nouveaux microordinateurs Intercept I et II ainsi que des cartes de programmation (pour C 8748/8741) et de simulation (C 8049).

Intersil, 3, rue de Marly, 78000 Versailles. Tél. : 953.47.08.

BIBLIOTHEQUE SYBEX

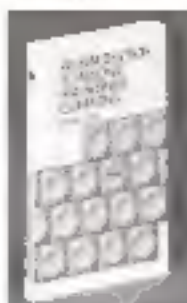


DU CLAVIER AU DISQUE DUR
 (VIENT DE PARAITRE)



2207 — MICROPROCESSEUR INTERFACER
 TECHNIQUES. Algues Lison et Rodney Zaks
 350 p. H.T.C. 70,62 F. 66 F
 BRIST SELLER ALX 415 A.

25 — TECHNIQUES D'INTERFACE AVEC
 MICROPROCESSEURS Révision française de
 C2075 Drouotelle Avel 38 TTC 59,29 F BRST



Vient de paraître

INTRODUCTION AUX MICRO-ORDINA-
 TEURS A USAGE PERSONNEL

Livres de base pour les non techniciens.

Disponible en français : novembre 78.

Prix : 49 F (62,43 F TTC)

PLUS DE 20 AUTRES TITRES

Catalogue gratuit sur demande
 POUR COMMANDER : joint mandat et le règlement est joint. Part en
 sus autrement. Ajouter 7% T.V.A.

5 SEMINAIRES DE FORMATION
 SUR LES MICROPROCESSEURS
 PARIS 16 20 JANVIER



SYBEX Publications
 313 rue Lafayette
 75015 PARIS
 Tél. 820.25.02 Telex 306311

INFORMATION COMMANDE

Nom _____ Prén _____

Secrét _____

Adresse _____

Ville _____ Tél _____

Veuillez me faire parvenir _____ de livre _____

Total joint _____ Chèque _____

veuillez me faire parvenir votre catalogue détaillé.

La distribution des microprocesseurs ?... **Notre conception :**

- **2 laboratoires d'applications**
à la disposition de notre clientèle.
- **3 ingénieurs d'applications**
prêts à vous accueillir ou à vous rendre visite.
- **2 stocks Paris-Saint-Etienne**
de composants et de systèmes de développement.
- Des séminaires de formation.
- La livraison **sous 48 heures**
de systèmes de développement testés,
et mis en service par nos soins.
- Des documentations **en français**
(manuels d'applications des systèmes d'exploitation,
outils de développement, kit, etc.).
- Une **garantie** supplémentaire :
nous assurons nous-mêmes le service après-vente.
- L'organisation de conférences audio-visuelles
sur les nouveaux produits.
- Un service complet de documentation.

FEUTRIER
SUD-EST

rue des Trois Glorieuses
42270 SAINT-PRIEST-EN-JAREZ
Tél. : 74.67.33 - Telex 300.021



FEUTRIER
ÎLE-DE-FRANCE

29, rue Leclerc-Pollin
92150 SURESNES - Télex 610 237
Tél. 772.46.46 (9 lignes groupées)

Distributeur officiel de :



MOTOROLA
Semiconducteurs S.A.

CARTES MICRO-ORDINATEUR ET SYSTEME DE DEVELOPPEMENT



CPU 4K -4K

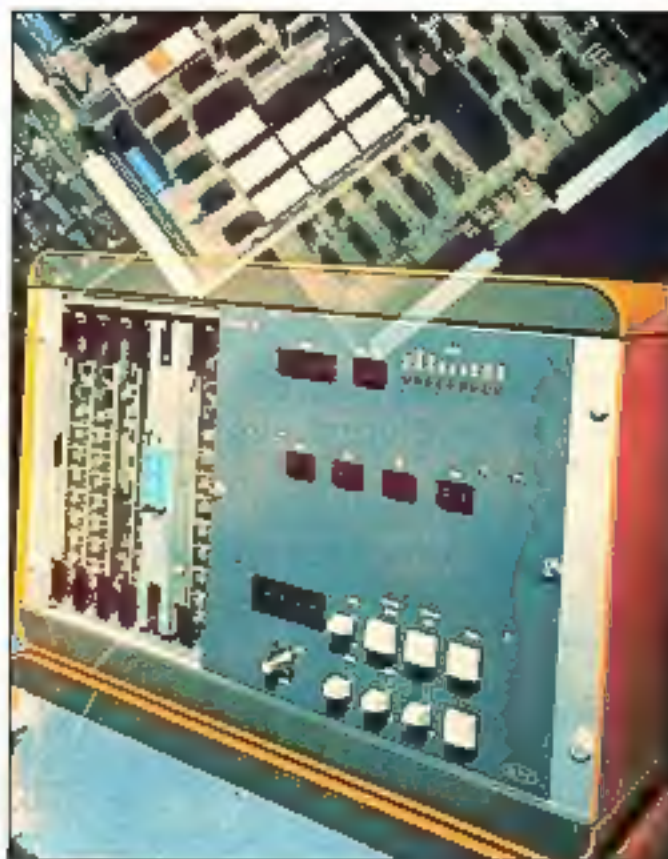
1K octets de RAM, 4K octets de PROM ou EPROM
Accès direct mémoire
3 niveaux d'interruption
1 liaison série 924, 1 liaison série 110
bufferisée
1 Bus bidirectionnel 8 bits
16 indicateurs de périphériques
Signaux de service pour la synchronisation des périphériques

CPU 8K

11,5K octets de RAM, 32K octets de PROM
Accès direct mémoire
6 niveaux d'interruption
1 liaison série 924, 1 liaison série 110
bufferisée
1 Bus bidirectionnel 8 bits
Signaux de service pour la synchronisation des périphériques

MEMOIRE 4K

Mémoire statique 4K octets
Temps d'accès 670 ns
Alimentation 5 volts
Compatible avec les CPU 5K - 8K et CPU 4K



CONTROLE EMAP (2050/2040)

Pour le développement et la mise au point en temps réel des systèmes 2050 ou 8048 Compuser

- l'assembleur
- le programme d'aide à la mise au point
- le maître de test en temps réel
- le programmation des PROMS

CARTE 84 ENTRÉES SORTIES 16 PERIPHERES

Extension des cartes CPU 4K et CPU 8K/8K
8 voies de 8 digits utilisables en sortie
en entrée ou en entrées/sortie
Sortie sur collecteur ouvert, tension 20 volts,
courant max. 250 mA
Entrée compatible CMOS

signetics



INSTRUCTEUR 50

Destiné à l'initiation au microprocesseur, l'instructeur 50 comprend, avec le microprocesseur 2050, son horloge et l'alimentation.

- 512 octets de RAM
- Deux claviers de 16 et 12 touches pour données et fonctions
- Un module d'affichage à 8 digits
- L'interface pour cassette audio
- Le bus d'expansion compatible S-100
- Le Moniteur USE (USER SYSTEM EXECUTIVE)

DISSEREL
32, Rue de TORCY
75018 Paris
Tél. : 203.60.02
Télex : 670 579

DISSEREL